

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
-  BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



IFW
XA-10065
PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the application of:

Masamichi FUJITO et al.

Appln. No.: 10/810,672 Group Art Unit: 2818

Filed: March 29, 2004

For: SEMICONDUCTOR DEVICE

* * *

CLAIM OF PRIORITY UNDER 35 U.S.C. § 119

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Applicants hereby claim the priority of Japanese Patent Application No. 2003-108604 filed April 14, 2003, and submit herewith a certified copy of said application.

Respectfully submitted,

By: 
Mitchell W. Shapiro
Reg. No. 31,568

MWS:lat

Miles & Stockbridge P.C.
1751 Pinnacle Drive
Suite 500
McLean, Virginia 22102-3833
(703) 903-9000

June 18, 2004

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 4月14日
Date of Application:

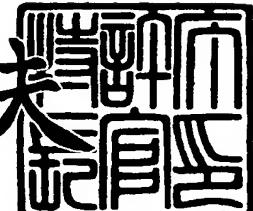
出願番号 特願2003-108604
Application Number:

[ST. 10/C] : [JP2003-108604]

出願人 株式会社ルネサステクノロジ
Applicant(s):

2004年 4月 9日

特許長官
Commissioner,
Japan Patent Office

今井康夫


【書類名】 特許願
【整理番号】 H02018201
【提出日】 平成15年 4月14日
【あて先】 特許庁長官殿
【国際特許分類】 G11C 16/06
【発明者】
【住所又は居所】 東京都千代田区丸の内二丁目4番1号 株式会社ルネサ
 ステクノロジ内
【氏名】 藤戸 正道
【発明者】
【住所又は居所】 東京都千代田区丸の内二丁目4番1号 株式会社ルネサ
 ステクノロジ内
【氏名】 品川 裕
【発明者】
【住所又は居所】 東京都千代田区丸の内二丁目4番1号 株式会社ルネサ
 ステクノロジ内
【氏名】 鈴川 一文
【発明者】
【住所又は居所】 東京都千代田区丸の内二丁目4番1号 株式会社ルネサ
 ステクノロジ内
【氏名】 佐野 綾子
【発明者】
【住所又は居所】 東京都千代田区丸の内二丁目4番1号 株式会社ルネサ
 ステクノロジ内
【氏名】 加藤 章
【発明者】
【住所又は居所】 東京都千代田区丸の内二丁目4番1号 株式会社ルネサ
 ステクノロジ内
【氏名】 田中 利広

【特許出願人】

【識別番号】 503121103

【氏名又は名称】 株式会社ルネサステクノロジ

【代理人】

【識別番号】 100089071

【弁理士】

【氏名又は名称】 玉村 静世

【電話番号】 03-5217-3960

【手数料の表示】

【予納台帳番号】 011040

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路

【特許請求の範囲】

【請求項 1】 半導体基板に電気的な消去及び書き込みが可能な不揮発性メモリを有し、

前記不揮発性メモリは、複数のメモリアレイの夫々に固有の第1ビット線、複数のメモリアレイに共通の第2ビット線、第1ビット線をメモリアレイ毎に選択して第2ビット線に接続可能な第1選択回路及び前記第1選択回路の出力と第2ビット線の間に配置したセンスアンプによる階層化ビット線構造を有することを特徴とする半導体集積回路。

【請求項 2】 前記センスアンプは隣合う一对のメモリアレイの間に配置された差動センスアンプであり、一对の差動入力は相互に一方の入力が当該一方のメモリアレイで選ばれた第1ビット線からの読み出し信号とされ、相互に他方の入力がリファレンス入力とされることを特徴とする請求項1記載の半導体集積回路。

【請求項 3】 前記第2ビット線に入力端子が接続されるメインアンプを有することを特徴とする請求項1記載の半導体集積回路。

【請求項 4】 前記メインアンプは隣合う一对の第2ビット線に差動入力が接続される差動アンプであり、一对の差動入力は相互に一方の入力が当該一方の第2ビット線に出力された読み出し信号とされ、他方の入力がリファレンス入力とされることを特徴とする請求項3記載の半導体集積回路。

【請求項 5】 前記複数のメモリアレイに共通とされる書き込み用の第3ビット線を有し、前記第3ビット線はメモリアレイに対する並列書き込みビット数に応ずる本数が設けられていることを特徴とする請求項1記載の半導体集積回路。

【請求項 6】 メモリアレイ毎に相互に対応する第1ビット線を第3ビット線と接続及び分離可能にする分離回路を有し、読み出し動作において読み出し対象とされるメモリアレイの分離回路は第3ビット線を第1ビット線から分離することを特徴とする請求項5記載の半導体集積回路。

【請求項 7】 第3ビット線をデータの外部並列入出力ビット数単位で選択する第2選択回路と、前記第2選択回路で選択された第3ビット線からのベリファイリードデータをセンスするベリファイ用アンプとを有することを特徴とする請求項6記載の半導体集積回路。

【請求項 8】 並列された複数のセンスアンプ毎にその並列方向に沿って第1電源配線が設けられ、第1電源配線と離間した位置に当該第1電源配線よりも幅広の第2電源配線が設けられ、夫々の第1電源配線と第2電源配線は第1ビット線方向に敷設された第3電源配線にて複数個所で接続されることを特徴とする請求項1記載の半導体集積回路。

【請求項 9】 2本の第1ビット線毎に1本設けられ前記複数のメモリアレイに共通化された複数の書き込み用の第3ビット線と、

各メモリアレイにおいて1本の第3ビット線を対応する2本の第1ビット線の何れか一方との接続又は双方との分離を選択可能な分離回路と、を有することを特徴とする請求項8記載の半導体集積回路。

【請求項 10】 前記第3電源配線は第1ビット線2本毎にその間に配置される事を特徴とする請求項9記載の半導体集積回路。

【請求項 11】 読み出し動作においてワード線、第1ビット線、分離回路及びセンスアンプの動作を選択する第1アドレスデコーダと、書き込み動作においてワード線及び分離回路の動作を選択する第2アドレスデコーダとを別々に有することを特徴とする請求項6記載の半導体集積回路。

【請求項 12】 前記第1アドレスデコーダ及び第2アドレスデコーダは、連続アドレスに対してセンスアンプを共有するメモリアレイが相違するようアドレスマッピングを行うアドレスコード論理を有することを特徴とする請求項1記載の半導体集積回路。

【請求項 13】 読み出し動作において、第1アドレスデコーダはアドレス信号の変化に応答して対応するメモリアレイ毎にアドレスデコード信号と第1ビット線の選択信号を読み出し動作に必要なサイクル数ぶん保持し、アドレス信号の変化に応答して前記センスアンプを遅延動作させることを特徴とする請求項2記載の半導体集積回路。

【請求項 14】 読み出し動作において、第1アドレスデコーダはアドレス信号で指定されるアドレスと次のアドレスのワード線及び第1ビット線を並列選択すると共に、前記指定されるアドレスと次のアドレスに応ずる夫々のセンスアンプによる第2ビット線の駆動を順次駆動制御とすることを特徴とする請求項12記載の半導体集積回路。

【請求項 15】 前記半導体基板に前記不揮発性メモリをアクセス可能な中央処理装置を備える事を特徴とする請求項12記載の半導体集積回路。

【請求項 16】 前記複数のメモリアレイの一部のメモリアレイをデータ領域、残りのメモリアレイを管理領域とし、前記管理領域はデータ領域を書き換えるための書き換えシーケンス制御プログラムの記憶領域とされ、

前記中央処理装置は、前記管理領域から書き換えシーケンス制御プログラムを読み込んで実行し、データ領域の書き換え制御が可能であることを特徴とする請求項15記載の半導体集積回路。

【請求項 17】 半導体基板に電気的な消去及び書き込みが可能な不揮発性メモリと、前記不揮発性メモリをアクセス可能な中央処理装置とを有し、

前記不揮発性メモリは、複数のメモリアレイの夫々に固有の第1ビット線、複数のメモリアレイの第1ビット線に共通の第2ビット線、及び前記第1ビット線と第2ビット線の間に配置されたセンスアンプによる階層化ビット線構造を有し、前記第2ビット線の本数はメモリアレイに対する並列書き込みビット数よりも少ないことを特徴とする半導体集積回路。

【請求項 18】 前記複数のメモリアレイに共通とされる書き込み用の第3ビット線を有することを特徴とする請求項17記載の半導体集積回路。

【請求項 19】 メモリアレイ毎に相互に対応する第1ビット線を第3ビット線と接続及び分離可能にする分離回路を有し、読み出し動作において読み出し対象とされるメモリアレイの分離回路は第3ビット線を第1ビット線から分離することを特徴とする請求項18記載の半導体集積回路。

【請求項 20】 半導体基板に電気的な消去及び書き込みが可能な不揮発性メモリを有し、

前記不揮発性メモリは、複数のメモリアレイの夫々に固有の第1ビット線、複

数のメモリアレイの第1ビット線に共通の第2ビット線、及び前記第1ビット線から読み出されたデータを選択的に増幅して第2ビット線に出力するセンスアンプによる階層化ビット線構造を有することを特徴とする半導体集積回路。

【請求項21】 コントローラと一つ又は複数の不揮発性メモリとを有し、前記不揮発性メモリは複数のメモリアレイに分割され、第1グループに属するメモリアレイと、前記第1グループに属するメモリアレイのそれぞれに対応するメモリアレイからなる第2グループのメモリアレイとを有し、前記コントローラは所定の第1グループの第1メモリアレイに対する第1アクセス動作と、当該第1メモリアレイ及び第1メモリアレイに対する第2グループの第2メモリアレイとを除く第3メモリアレイに対する第2アクセス動作とを並行して制御可能であることを特徴とする不揮発性メモリ装置。

【請求項22】 前記第1グループに属するメモリアレイと第2グループの対応するメモリアレイとの間には、複数のセンスアンプを有し、それぞれのメモリアレイは複数の第1ビット線を有し、第1グループのメモリアレイの第1ビット線と第2グループの対応するメモリアレイの第1ビット線とが前記センスアンプの入力端子に接続され、

前記センスアンプの出力が第2ビット線に接続され、前記第1ビット線と第2ビット線は読み出し動作に用いられ、書込動作に用いられる第3ビット線を更に有することを特徴とする請求項21記載の不揮発性メモリ装置。

【請求項23】 半導体基板に電気的な消去及び書き込みが可能な不揮発性メモリを有し、

前記不揮発性メモリは、複数のメモリアレイの夫々に固有の第1ビット線、複数のメモリアレイの第1ビット線に共通の第2ビット線、複数のメモリアレイに共通の第3ビット線、及び前記第1ビット線から読み出されたデータを選択的に増幅して第1読み出し動作において第2ビット線に出力し、第2読み出し動作において第3ビット線に出力するセンスアンプによる階層化ビット線構造を有することを特徴とする半導体集積回路。

【請求項24】 前記第1読み出し動作は読み出されたデータを半導体集積

回路の外部へ出力するための読み出し動作であり、

前記第2読み出し動作はメモリアレイへのデータの書込において、読み出されたデータに基づいてデータの書込動作又は消去動作を継続するか否かを決定するためのベリファイ読み出し動作であることを特徴とする請求項23記載の半導体集積回路。

【請求項25】 前記センスアンプは前記第1ビット線から読み出したデータを増幅し、前記第2ビット線に出力するか前記第3ビット線に出力するかを選択するための選択回路を有し、

前記選択回路は所定の選択信号に基づいて出力先を選択することを特徴とする請求項23記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電気的に消去及び書き込み可能な不揮発性メモリ、更には中央処理装置（CPUとも記す）と共に前記不揮発性メモリを搭載したマイクロコンピュータもしくはマイクロプロセッサなど称されるデータ処理装置などの半導体集積回路に関し、例えばフラッシュメモリを搭載したマイクロコンピュータに適用して有効な技術に関する。

【0002】

【従来の技術】

フラッシュメモリの読み出し動作は、例えば、①読み出しビット線をプリチャージし、②ワード線をハイレベル（“H”）のような選択レベルに立ち上げて、メモリセルトランジスタをオン状態し、③メモリセルトランジスタを介してメモリ電流が流れると、プリチャージされたビット線がローレベル（“L”）に引き抜かれ、④そのローレベル引き抜きによるビット線の電位をセンスアンプで感知する、という手順になる。

【0003】

メモリセルトランジスタの閾値電圧（V_{t h}）がワード線電位（ワード線選択レベル）より低い場合は、ビット線の放電が起き、データ“1”として読み出さ

れ、メモリのV_{t h}がワード線電位より高い場合は、ビット線の放電は起こらず、データ“0”として読み出される。高速で読む場合は、ビット線容量を小さくし速く放電する必要があり、一般にビット線階層構造が採用されている。ビット線負荷容量は、メモリのドレイン容量が支配的であるため、ビット線階層構造では、ビット線をいくつかのブロックに分割して、複数の副ビット線構造とする。メモリはこの分割された副ビット線に繋がり、副ビット線は階層スイッチを介して主ビット線に繋がっている。従って、ビット線階層構造を採用すると、ビット線の負荷容量は、限られた数のメモリが繋がる副ビット線の配線容量と接続されるメモリのドレイン容量の合計である副ビット線負荷と、主に配線容量である主ビット線負荷の合計となる。これは、階層構造を持たず全てのメモリが主ビット線に繋がる場合に比べて、数分の一の負荷容量となる。メモリ電流でこれら的小さな負荷を速く放電して、ビット線電位の低下をセンスアンプで増幅する。また、書き込みを行う場合は、書き込みワード線を含んでいる階層スイッチをオンさせて、主ビット線に書き込みパルスを与える。この結果、パルスは、階層スイッチを通過し、副ビット線に与えられる。他の副ビット線には印加されないので、主ビット線に全メモリが繋がっている場合に比べて、ドレインディスタンスが加えられる時間も大幅に低減することができる。

【0004】

また、高速で読み出す他の方法として、メモリアレイを複数のアレイに分割して、それぞれに読み出し回路と書き込み回路を備える構造がある（特許文献1参照）。例えば、メモリアレイを4分割にして、それぞれが行デコーダやセンスアンプを持ち、その出力がバスラインに繋がる。アクセスがあった場合は、最上位アドレスを判断していくずれかのアレイが動作する。書き込みを行う場合も同様に、最上位アドレスを判断していくずれかの書き込み回路にバスラインから書き込みデータを転送し、書き込みが行われる。

【0005】

【特許文献1】

特開2000-339983号公報

【0006】

【発明が解決しようとする課題】

しかしながら、上記主副ビット線だけによる階層化ビット線構造では主ビット線の負荷容量による信号伝播遅延については対策されず、読み出し速度の高速化が更に要求される場合には対応することができない。

【0007】

特許文献1に代表されるような複数のアレイに分割する場合には、そのアレイ間でビット線が完全に分離される。これは高速化には望ましいが、読み出し回路や書き込み回路さらにバスラインとのインタフェース回路を、分割数に対応してそれぞれに備える必要があり、回路規模が増大してしまう。また、書き込みと読み出しで同じ主ビット線を用いている。消去及び書き込みでビット線に高電圧を印加する場合には読み出し系にも高耐圧を考慮しなければならない。

【0008】

また、センスアンプ部分は、メモリアレイのビット線端部に配置され、センスアンプ数は、同時に読み出すビット数以上の数が必要となる。これらは同時に動作し、比較的消費電流が大きいことから、電源ノイズを発生し易い。しかし、センスアンプは微小電圧を增幅するため、不要なノイズの発生は誤動作を招くので、センスアンプに供給する電源に対して、電源インピーダンスを下げるために、配線幅を太くする対策を行うことが必要になる。これでは逆にチップ占有面積が大きくなってしまう。

【0009】

また、マイクロコンピュータに内蔵するプログラム格納用のフラッシュメモリは、CPUと同じ速度で読み出すことが必要である。微細化に伴い、CPUの動作速度は向上するものの、フラッシュメモリは、微細化を行っても電荷蓄積部の酸化膜を薄くすることが出来ず、メモリ電流を増やすことが困難である。このため、マイクロコンピュータの動作速度が内蔵フラッシュメモリのアクセスタイムで決まってしまう。マイクロコンピュータにオンチップのフラッシュメモリにあっては、読み出し動作の高速化は特に重要であり、フラッシュメモリの読み出し回路方式を更に工夫することの必要性が本発明者によって見出された。

【0010】

本発明の目的は、電気的に書き換え可能なオンチップ不揮発性メモリに対する読み出し速度を速くすることができる半導体集積回路を提供することにある。

【0011】

本発明の別の目的は、回路規模の増大を極力抑えてオンチップ不揮発性メモリに対する読み出し速度を速くすることができる半導体集積回路を提供することにある。

【0012】

本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【0013】

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0014】

〔1〕《読み出し系の階層化》本発明に係る半導体集積回路は、半導体基板に電気的な消去及び書き込みが可能な不揮発性メモリを有する。前記不揮発性メモリは、複数のメモリアレイの夫々に固有の第1ビット線（BL）、複数のメモリアレイの第1ビット線に共通の第2ビット線（GBL_r）、及び前記第1ビット線と第2ビット線との間に配置されたセンスアンプ（SA）による階層化ビット線構造を有する。更に詳しくは、前記不揮発性メモリは、複数のメモリアレイの夫々に固有の第1ビット線、複数のメモリアレイに共通の第2ビット線、第1ビット線をメモリアレイ毎に選択して第2ビット線に接続可能な第1選択回路（22）及び前記第1選択回路の出力と第2ビット線の間に配置したセンスアンプによる階層化ビット線構造を有する。上記メモリアレイの分割による階層ビット線構造は、センスアンプの入力負荷容量を低減する。メモリアレイの分割によりビット線選択回路とセンスアンプは増える。

【0015】

前記センスアンプは、例えば、隣合う一対のメモリアレイの間に配置された差動センスアンプであり、一対の差動入力は相互に一方の入力が当該一方のメモリ

アレイで選ばれた第1ビット線からの読み出し信号とされ、相互に他方の入力がリファレンス入力とされる。差動センスは読み出し動作の高速化に寄与する。

【0016】

前記第2ビット線に入力端子が接続されるメインアンプ（MA）を設けてもよい。読み出し動作を更に高速化することができる。

【0017】

例えば、前記メインアンプは隣合う一対の第2ビット線に差動入力が接続される差動アンプであり、一対の差動入力は相互に一方の入力が当該一方の第2ビット線に出力された読み出し信号とされ、他方の入力がリファレンス入力とされる。メインアンプも差動化することにより、読み出し動作は更に高速化する。

【0018】

[2] 《書き込み系の单一化》 上記において、記憶情報の書き込みに着目する。第2ビット線とは別に前記複数のメモリアレイに共通とされる書き込み用の第3ビット線（G B L w）を設ける。分割メモリアレイ構造を採用しても書き込み回路及び書き込みデータラッチなどの書き込み系回路をメモリアレイ毎に配置しなくてよい。前記第3ビット線はメモリアレイに対する並列書き込みビット数に応ずる本数が設けられている。メモリアレイからの記憶情報の読み出しひビット数（例えば32ビット）に制限されることなく所要のビット数（例えば512バイト）で並列書き込みが可能になる。

【0019】

メモリアレイ毎に相互に対応する第1ビット線を第3ビット線と接続及び分離可能にする分離回路（34、DSW）を設け、読み出し動作において読み出し対象とされるメモリアレイの分離回路は第3ビット線を第1ビット線から分離する。読み出し動作において第3ビット線による不所望な負荷を切り離すことができ、高速読み出しを保証する。また、読み出し対象のメモリアレイは第3ビット線から切り離されるから、第2ビット線による読み出し動作と第3ビット線による書き込み動作の並列化が可能になる。

【0020】

ペリファイリードは例えば前記第3ビット線を用いて行う。即ち、第3ビット

線をデータの外部並列入出力ビット数単位で選択する第2選択回路（30）と、前記第2選択回路で選択された第3ビット線からのベリファイリードデータをセンスするベリファイ用アンプ（31）とを有する。これにより、ベリファイ用アンプをメモリアレイ毎に分散させなくて済む。

【0021】

[3] 《センスアンプ電源》上記メモリアレイの階層化によりセンスアンプは分散されている。このとき、並列された複数のセンスアンプ毎にその並列方向に沿って第1電源配線（61，62）が設けられ、第1電源配線と離間した位置に当該第1電源配線よりも幅広の第2電源配線（63，64）が設けられ、夫々の第1電源配線と第2電源配線は第1ビット線方向に設けられた第3電源配線（65，66）にて複数個所で接続される。

【0022】

メモリアレイの階層化による上記階層センス方式では、センスアンプなどの読み出し回路をメモリマット内に複数配置するので、センスアンプは第1ビット線と直交して配置され、電源線も同様に第1ビット線と直交する。複数のセンサアンプが並列動作すると電流集中を起こすため電源配線幅を広くし、ノイズの発生を抑える事が必要になる。これを各センスアンプアレイ毎に行うと不揮発性メモリのチップ占有面積の増大する。このため、センスアンプアレイ毎の第1電源配線の幅は太くせず、そこから離間した位置に幅広の第2電源配線を設け、第1電源配線と第2電源配線を第1ビット線の延在方向に沿った複数の第3電源配線で接続する。センスアンプアレイにはそのアレイ方向一端側から動作電源が供給されるのではなく、アレイ方向に交差する多数の第3電源配線から並列に動作電源が供給される。したがって、多数のセンスアンプが同時に動作しても電流集中による電位変化を生じ難く、センスアンプ用電源配線によるチップ占有面積の増大も抑えることができる。

【0023】

具体的な形態として、前記複数のメモリアレイに共通化される前記第3ビット線を2本の第1ビット線毎に1本設け、前記分離回路は、各メモリアレイにおいて1本の第3ビット線を対応する2本の第1ビット線の何れか一方との接続又は

双方との分離を選択可能とするとき、前記第3電源配線は第1ビット線2本毎にその間に配置すればよい。第3電源配線によるチップ占有面積増大を極力抑えることが可能になる。

【0024】

[4] 《並列アクセス》上記において、読み出し用の第2ビット線と書き込み用の第3ビット線を別々に持ち、読み出し動作において読み出し対象とされるメモリアレイの分離回路は第3ビット線を第1ビット線から分離される。異なったメモリアレイに対して、読み出し動作と、消去及び書き込み動作とを並列的に行うことができる。消去及び書き込み動作を同じサイクルで行えるようにするために、読み出し動作においてワード線、第1ビット線、分離回路及びセンスアンプの動作を選択する第1アドレスデコーダ（70、CDEC）と、書き込み動作においてワード線及び分離回路の動作を選択する第2アドレスデコーダ（71）とを別々に持つ。

【0025】

上記より、不揮発性メモリの書き換えシーケンスのプログラムを記憶した記憶領域と、ユーザが自由に書き換え可能な記憶領域とを同一の不揮発性メモリに配置することができる。階層センス方式を実現する階層ビット線構造と書き込みビット線構造とを分離して上記同一メモリサイクルでも書き込みと読み出しを並列化できるようになっているから、書き換えシーケンスプログラムを読み出して実行しながら、ユーザ領域のメモリを書き換えることが可能である。書き換えシーケンスプログラムを一旦RAMに転送する必要がなく、そのようなRAMを内蔵しない半導体集積回路にも上記不揮発性メモリを搭載することができる。

【0026】

[5] 《パイプラインアクセス》上記第1アドレスデコーダ及び第2アドレスデコーダに、連続アドレスに対してセンスアンプを共有するメモリアレイが相違するようにアドレスマッピングを行うアドレコード論理を採用する。これにより、アクセス単位に従って順次隣りのデータをアクセスするとき、順次相違するメモリアレイが選択されることになる。

【0027】

そのアドレスマッピングを前提に第1のパイプラインアクセス形態を説明する。これは、読み出し動作において、第1アドレスデコーダはアドレス信号の変化に応答して対応するメモリアレイ毎にアドレスデコード信号と第1ビット線の選択信号を読み出し動作に必要なサイクル数ぶん保持し、アドレス信号の変化に応答して前記センスアンプを遅延動作させることにより実現される。これにより、毎サイクルアドレス信号を変化させながら連続アドレスのデータ読み出しを行うことが可能になる。

【0028】

第2のパイプラインアクセス形態を採用してもよい。即ち、読み出し動作において、第1アドレスデコーダはアドレス信号で指定されるアドレスと次のアドレスのワード線及び第1ビット線を並列選択すると共に、前記指定されるアドレスと次のアドレスに応ずる夫々のセンスアンプによる第2ビット線の駆動を順次駆動制御とする。

【0029】

〔6〕《データ処理装置》上記半導体集積回路は前記半導体基板に前記不揮発性メモリをアクセス可能な中央処理装置を備えて構成される。不揮発性メモリに対する消去及び書き込み処理の制御は中央処理装置が行えばよい。例えば、前記複数のメモリアレイの一部のメモリアレイをデータ領域、残りのメモリアレイを管理領域とし、前記管理領域をデータ領域を書き換えるための書き換えシーケンス制御プログラムの記憶領域とする。前記中央処理装置は、前記管理領域から書き換えシーケンス制御プログラムを読み込んで実行し、データ領域の書き換え制御が可能である。

【0030】

〔7〕《不揮発性メモリ装置》

本発明に係る不揮発性メモリ装置は、コントローラと一つ又は複数の不揮発性メモリとを有する。前記不揮発性メモリは複数のメモリアレイに分割され、第1グループに属するメモリアレイと、前記第1グループに属するメモリアレイのそれぞれに対応するメモリアレイからなる第2グループのメモリアレイとを有する。前記コントローラは所定の第1グループの第1メモリアレイに対する第1アク

セス動作と、当該第1メモリアレイ及び第1メモリアレイに対応する第2グループの第2メモリアレイとを除く第3メモリアレイに対する第2アクセス動作とを並行して制御可能である。

【0031】

前記第1グループに属するメモリアレイと第2グループの対応するメモリアレイとの間には、複数のセンスアンプ（SA）を有し、それぞれのメモリアレイは複数の第1ビット線（BL）を有し、第1グループのメモリアレイの第1ビット線と第2グループの対応するメモリアレイの第1ビット線とが前記センスアンプの入力端子に接続される。前記センスアンプの出力が第2ビット線（GBLr）に接続され、前記第1ビット線と第2ビット線は読み出し動作に用いられ、書込動作に用いられる第3ビット線（GBLw）を更に有する。

【0032】

本発明の不揮発性メモリ装置によれば、相互に異なるメモリアレイで読み出し動作と書込動作とを並行して行うことが可能となり、ユーザから見たターンアラウンドタイムを短縮することができる。

【0033】

《ベリファイリード》

本発明の更に別の観点による半導体集積回路は、半導体基板に電気的な消去及び書き込みが可能な不揮発性メモリを有する。前記不揮発性メモリは、複数のメモリアレイの夫々に固有の第1ビット線（BL）、複数のメモリアレイの第1ビット線に共通の第2ビット線（GBLr）、複数のメモリアレイに共通の第3ビット線（GBLv）、及び前記第1ビット線から読み出されたデータを選択的に増幅して第1読み出し動作において第2ビット線に出力し、第2読み出し動作において第3ビット線に出力するセンスアンプ（SA）による階層化ビット線構造を有する。

【0034】

本発明の具体的な形態として前記第1読み出し動作は読み出されたデータを半導体集積回路の外部へ出力するための読み出し動作である。前記第2読み出し動作はメモリアレイへのデータの書込において、読み出されたデータに基づいてデ

ータの書込動作又は消去動作を継続するか否かを決定するためのベリファイ読み出し動作である。

【0035】

異なる階層において読み出し動作と書込動作中のベリファイ読み出し動作とを並行するとき、双方からの読み出しデータの経路を個別化することにより、双方からの読み出しデータの競合が解消されユーザから見たターンアラウンドタイムを短縮することができる。

【0036】

【発明の実施の形態】

《マイクロコンピュータ》

図1には本発明に係る半導体集積回路の一例であるデータプロセッサ若しくはマイクロプロセッサなどとも称されるシングルチップのマイクロコンピュータが例示される。

【0037】

同図に示されるマイクロコンピュータは、特に制限されないが、公知の半導体集積回路製造技術により、単結晶シリコンのような1個の半導体基板（チップ）に形成される。

【0038】

マイクロコンピュータ1は、内部バス2に接続された回路モジュールとして、中央処理装置（CPUとも記す）3、前記CPU2のワーク領域などに利用されるランダム・アクセス・メモリ（RAMとも記す）4、バスコントローラ5、発振器7、分周回路8、フラッシュメモリ9、電源回路10、入出力ポート（I/O）11、及びタイマカウンタ等その他の周辺回路12等を有する。前記CPU3は命令制御部と実行部を備え、フェッチした命令を解読し、解読結果に従って実行部で演算処理を行う。フラッシュメモリ9は、特に制限されないが、CPU3の動作プログラムもしくはデータを格納する。電源回路10はフラッシュメモリ9の消去及び書き込み用高電圧などを生成する。分周回路8は発振器7による源発振を分周して動作基準クロック信号やその他内部クロック信号を生成する。前記内部バス2は、夫々アドレスバス、データバス及びコントロールバスを含ん

でいる。前記バスコントローラ5はCPU3からのアクセス要求に応答してそのアクセス対象アドレスに応じたアクセスサイクル数、ウェイトステート数、バス幅等のバスアクセス制御を行う。

【0039】

マイクロコンピュータ1がシステムに実装された状態ではCPU3がフラッシュメモリ9に対する消去及び書き込み制御を行なう。デバイステスト又は製造段階では外部の書き込み装置（図示せず）が入出力ポート11を介して直接フラッシュメモリ9に対する消去及び書き込み制御が可能になっている。電源投入後、リセット信号のローレベル期間にマイクロコンピュータ1の内部が初期化される。リセット信号のハイレベルによりリセットが解除されると、CPU2はアドレス0番地のベクタ等によって指定されるプログラム領域のプログラムの実行を開始する。

【0040】

《フラッシュメモリ》

図2にはフラッシュメモリ9をブロックダイアグラムで全体的に示す。フラッシュメモリ9は、電気的に消去及び書き込み可能な多数の不揮発性メモリセルMCがマトリクス配置されたメモリマット20を有する。前記不揮発性メモリセルMCは、特に制限されないが、ソース（ソース線接続）、ドレイン（ビット線接続）、チャネル、チャネル上に相互に絶縁形成されて積み上げられたフローティングゲート及びコントロールゲート（ワード線接続）を持つスタックドゲート構造とされる。或いは、ソース（ソース線接続）、ドレイン（ビット線接続）、チャネル、前記チャネル上で隣合って相互に絶縁形成された選択ゲート（ワード線接続）及びメモリゲート（メモリゲート制御線接続）を持つスプリットゲート構造等とされてもよい。

【0041】

メモリマット20は複数のメモリアレイ21に分割される。メモリアレイ21毎に、複数の副ビット線BLを設け、副ビット線BLを列選択回路22で選択し、列選択回路22の出力をセンスアンプアレイ23で受ける。図のセンスアンプアレイ23には代表して1個のセンスアンプSAが図示される。センスアンプア

レイ 23 の出力を各メモリアレイに共通の読出し主ビット線 GBLr に接続する。要するに、ビット線は階層ビット線構造とされ、センスアンプによる增幅は階層センス方式とされる。センスアンプアレイ 23 は図の上下一対のメモリアレイ 21 に共有される。書込み系として読出し系とは分離された書込みビット線 GBLw を有し、書込みビット線 GBLw は階層化されず、各メモリアレイ 21 に共通化される。書込みビット線 GBLw と対応する副ビット線 BL は、分離スイッチ DSW を介して接続又は分離が選択可能にされる。読出し動作時は、分離スイッチ DSW は少なくとも、読出し対象メモリアレイにおいて書込みビット線 GBLw を副ビット線 BL から分離する。特に制限されないが、読出し主ビット線 GBLr は 32 本、書込み主ビット線 GBLw は 1024 本とされる。

【0042】

不揮発性メモリセル MC のワード線 WL は行デコーダ (RDEC) 25 によるアドレス信号のデコード結果に従って選択的に駆動される。駆動レベルはフラッシュメモリに対する消去、書込み、又は読出し処理に応じて決まる。列選択回路 22 による副ビット線 BL の選択は列デコーダ (CDEC) 26 によるアドレス信号のデコード結果に従って行われる。分離スイッチ DSW やセンスアンプ SA はメモリアレイに対する読み出し、消去又は書き込みの動作に応じて行デコーダ 25 により制御される。アドレス信号はアドレスバス A B U S から供給される。

【0043】

前記読出し主ビット線 GBLr はバスドライバ BDRV を介してデータバス D B U S に接続される。この例に従えばデータバス DBUS は 32 ビットである。書込みビット線は書込み回路 28 に接続される。書込み回路 28 は 1024 ビットの書き込み制御データの各ビットの論理値に応じて対応する書き込みビット線 GBLw に書き込み電圧を印加する。書き込み制御データは書き込みデータラッチ回路 29 から与えられる。書き込みデータラッチ回路 29 には CPU3 から順次 32 ビット単位で与えられる書き込みデータがデータセレクタ (第 2 選択回路) 30 を介して 1024 ビット入力されてプリセットされる。ベリファイリードにおいて書き込みビット線 GBLw に読み出されたデータは前記データセレクタ 30 により 32 ビット単位で選択され、選択されたデータはベリファイ用アンプ 31 で

増幅されて外部に出力される。ベリファイリードで外部読み出されたデータはC P U 3によりビット単位でベリファイ判定が行なわれ、その判定結果が新たな書き込み制御データとしてC P U 3から書き込みセレクタ30を通してデータラッチ回路29にロードされる。データセレクタ30の選択動作は特に制限されないがアドレスバスA B U Sから供給されるアドレス信号に基いて行なわれる。

【0044】

制御回路32はC P U 3からコントロールバスC B U S及びデータバスD B U Sを介してメモリ制御情報が設定され、それに従って読出し、消去及び書き込みの動作に応じた制御シーケンス並びに動作電源の切換え制御を行う。

【0045】

《不揮発性メモリセル》

ここで前記不揮発性メモリセルの具体例を説明する。

【0046】

図3には不揮発性メモリセルの一例としてスタックドゲート構造が例示される。同図に示される不揮発性メモリセルMCは、ソース線（第2のデータ線）S Lに接続されるソース領域40とビット線（第1のデータ線）B Lに接続するドレイン領域42の間にチャネル領域が形成され、このチャネル領域の上に、ゲート絶縁膜を介してフローティングゲート電極43が形成され、その上に酸化膜を介してコントロールゲート電極44が形成される。フローティングゲート電極43はポリシリコン層によって構成される。コントロールゲート電極44はポリシリコン配線などによって構成され、ワード線W Lの一部になる。

【0047】

書き込みをホットキャリア注入とする場合の動作電圧は以下の通りである。例えば書き込みは、ワード線電圧Vgを10V、ビット線電圧Vdを5V、ソース線電圧Vsを0V、ウェル電圧Vwを0Vとし、ドレイン領域22からフローティングゲート33へのホットキャリア注入によって行なう。消去はワード線電圧Vgを負の-10V、ウェル電位Vwを10V、ビット線及びソース線を高インピーダンスとし、フローティングゲート33から電子をウェル領域に引き抜くことによって行なう。読み出しほは、ワード線電圧Vgを電源電圧、ビット線電圧V

V_d を電源電圧、ソース線電圧 V_s を 0 V、ウェル電位 V_w を 0 V として行う。消去及び書き込み処理では、ワード線 WL 及びウェル領域に高圧を印加することが必要になる。

【0048】

書き込みを FN トンネルとする場合の動作電圧は以下の通りとされる。例えば書き込みは、ワード線電圧 V_g を -10 V、ビット線電圧 V_d を 10 V、ソース線電圧 V_s を 0 V、ウェル電圧 V_w を 0 V として、ドレインから FN トンネルによりフローティングゲート 33 に電子を注入することによって行なう。消去はワード線電圧 V_g を 10 V、ウェル電圧 V_w を -10 V、ソース電圧 V_s を -10 V、ビット線を高インピーダンスとし、フローティングゲート 33 から電子をウェル領域に引き抜くことによって行なう。この場合には消去及び書き込み処理では、ワード線 WL 、ビット線 BL 及びウェル領域に高圧を印加することが必要になる。読み出しは上記と同じである。

【0049】

《階層化ビット線構造》

図 4 にはメモリマットの階層化ビット線構造の詳細が例示される。図 4 の例は 1 本の書き込みビット線 GBL_w は各メモリアレイにおいて分離スイッチ DSW を介して 2 本のビット線 BL に接続可能にされる。図 4 において分離スイッチ DSW は隣合うメモリアレイ 21 の間に分離スイッチアレイ 34 としてレイアウトされる。図 4 の横方向にビット線は 2048 本、書き込みビット線 GBL_w は 1024 本、読み出し主ビット線 GBL_r は 32 本配置される。センスアンプ SA は 64 本のビット線 BL に 1 個の割合で 32 個配置される。UT はビット線が 64 本単位で配置される領域を意味する。列選択回路 22 は 2048 本のビット線のうち 64 本単位の中から 1 本を選択して対応するセンスアンプ SA に接続する。分離スイッチ DSW は、読み出し動作及び消去動作では全てオフ状態にされる。書き込み動作及びペリファイリードでは分離スイッチ DSW は書き込み対象メモリアレイ側の一列 1024 個がオン状態にされる。

【0050】

例えばデータ読み出し動作では 1 本のワード線 WL が選択され、選択されたメ

モリセルの記憶情報はビット線B Lに現われ、ビット線B Lは64本に1本の割合で選択されて対応するセンスアンプS Aの入力に伝達される。センスアンプS Aは対応する読み出し主ビット線G B L rを駆動する。このメモリアレイの分割による階層ビット線構造はセンスアンプS Aの入力負荷容量を低減する。書き込みビット線G B L wはメモリアレイに対する並列書き込みビット数に応ずる1024本が設けられているから、メモリアレイからの記憶情報の読み出しビット数（例えば32ビット）に制限されることなく所要のビット数で並列書き込みが可能になる。

【0051】

ビット線B Lは分離スイッチD S Wを介して書き込みビット線G B L wと接続及び分離可能であり、読み出し動作において読み出し対象とされるメモリアレイの分離スイッチD S Wは書き込みビット線から分離するから、読み出し動作において書き込みビット線G B L wによる不所望な負荷を切り離すことができ、高速読み出しを保証する。また、読み出し対象のメモリアレイは書き込みビット線G B L wから切り離されるから、相互に異なったメモリアレイにおいて読み出し主ビット線による読み出し動作と書き込みビット線G B L wによる書き込み動作の並列化が可能になる。

【0052】

また、ベリファイリードは例えば前記書き込みビット線G B L wを用いてベリファイ用アンプ31に伝達するから、ベリファイ用アンプをメモリアレイ毎に分散させなくて済む。

【0053】

《差動センス》

図5には差動センスを行うメモリマットの階層化ビット線構造の詳細が例示される。図5の例では、前記センスアンプS Aは、図の上下に隣合う一対のメモリアレイに対して差動入力を行う差動增幅形態にされ、一対の差動入力は相互に一方の入力が当該一方のメモリアレイで選ばれたビット線B Lからの読み出し信号とされ、相互に他方の入力がリファレンス入力とされる。差動センスは読み出し動作の高速化に寄与する。更に読み出し主ビット線G B L rにはメインアンプM

Aを設け、読み出し動作を更に高速化している。メインアンプMAには差動アンプを採用し、一対の主ビット線G B L r (L)、G B L r (R)の相互に一方を読み出し信号入力、他方をリファレンス入力とする。メインアンプMAも差動化することにより、読み出し動作は更に高速化する。差動のメインアンプMAを採用することにより、図4とは、32本のビット線B Lを一単位としてセンスアンプSAを設け、全体として64個のセンスアンプを備える点で相違される。共に、不揮発性メモリセルへの書き込み処理単位は1024ビット、外部入出力は32ビット単位であることに変わりはない。

【0054】

前記メインアンプMAは、イコライズ信号M E Qによってスイッチ制御され対応する一対の読み出し主ビットG B L r (L)、G B L r (R)を導通可能にするトランスマジックゲートT G、対応する一対の読み出し主ビットG B L r (L)、G B L r (R)に接続されアンプイネーブル信号M E Nによって活性・非活性か制御されるスタティックラッチL A T、及びスタティックラッチL A Tの一方に入出力ノードに入力端子が接続されバスドライバB D R Vに出力端子が接続される出力インバータI N Vによって構成される。

【0055】

図6には差動センス用のセンスアンプSA (L)の一例が示される。図においてpチャンネル型MOSトランジスタにはゲート電極に小さな丸印を付してnチャンネル型MOSトランジスタと区別する。一方のメモリアレイの出力信号線C BL (T)と他方のメモリアレイの出力信号線C BL (B)に夫々接続される差動入力MOSトランジスタQ 5, Q 6を有し、これにMOSトランジスタQ 1～Q 4でスタティックラッチ形態に構成されたラッチ回路が接続される。MOSトランジスタQ 1, Q 4には夫々並列に初期化MOSトランジスタQ 7, Q 8が設けられ、電源電圧に接続される。MOSトランジスタQ 5, Q 6のコモンソースにはパワースイッチMOSトランジスタQ 11を介して回路の接地電圧V s sに接続される。MOSトランジスタQ 1～Q 4によるラッチ回路の一対の記憶ノードに一方は、出力インバータのMOSトランジスタQ 9のゲートに、他方は反転されて出力インバータのMOSトランジスタQ 10のゲートに接続される。出力イ

ンバータを構成するMOSトランジスタQ9, Q10のコモンドレインが対応する読み出し主ビット線G_BL_rに接続する。Q12はCBL(T)とCBL(B)のイコライズMOSトランジスタ、Q13, Q14はプリチャージMOSトランジスタである。Q15は比較電流MOSトランジスタ、Q16, Q17は前記比較電流MOSトランジスタQ15を選択的に信号線CBL(T)、CBL(B)に導通させるトランスファMOSトランジスタである。比較電流MOSトランジスタQ15はゲートバイアス電圧CCBによりオン状態のメモリセルMCに流れる電流の半分の電流を流す。

【0056】

センスアンプSA(L)において非活性化期間にトランジスタQ7, Q8がオフ、トランジスタQ11がオフにされトランジスタQ9とトランジスタQ10から成る出力インバータは高インピーダンス状態にされる。この状態で、トランジスタQ12, Q13, Q14がオンにされて信号線CBL(T)とCBL(B)の双方をハイレベルにプリチャージする。例えばセンスアンプSA(L)によって信号線CBL(T)側からの読み出し信号をセンスする場合、トランジスタQ7, Q8がオフ、トランジスタQ11がオンにされて、トランジスタQ17がオン、トランジスタQ16がオフにされる。これにより、トランジスタQ5には読み出し信号電圧が印加され、トランジスタQ6にはリファレンス電圧が印加され、双方に入力に応じて、トランジスタQ9とトランジスタQ10から成る出力インバータが読み出し主ビット線G_BL_rを駆動する。この読み出し動作において反対側のセンスアンプSA(R)はリファレンス側とされ非活性状態に維持されている。このとき、双方の読み出し主ビット線G_BL_r(L)とG_BL_r(R)は既にイコライズされているので、メインアンプMAは、センスアンプSA(L)による読み出し主ビット線G_BL_r(L)に対するハイレベル駆動又はローレベル駆動に応じてラッチ回路LATの状態を確定してバスドライバBDRVを駆動する。

【0057】

図7には差動センスアンプと差動メインアンプによるデータ読み出し動作のタイミングチャートが示される。ここでは図5における上側のメモリアレイ21に

おいて丸印に代表される位置のメモリセルの記憶情報を S A (L) 読み出すものとし、 S A (R) はリファレンス側とされる。

【0058】

時刻 t_0 にアドレス信号が変化されると、これに同期して、列デコーダによる選択状態が変化され、ワード線の選択が開始され、その間に S P C (L) がローレベルにされてセンスアンプ S A (L) のプリチャージ及びイコライズ動作が行なわれる。リファレンス側のセンスアンプ S A (R) ではプリチャージ及びイコライズ動作はディスエーブルのままである。センスアンプ S A (L) のプリチャージ及びイコライズ動作のとき比較電流選択スイッチ Q 16, Q 17 はオフ状態にされ信号線 C B L (B), C B L (T) はローレベルからハイレベルに充電される。センスアンプ S A (L) のプリチャージ及びイコライズ動作が終了されると、非センス側の比較電流選択スイッチ Q 17 がオン状態にされ、信号線 C B L (T) 側ではメモリセルの閾値電圧に応じてレベルが変化され、信号線 C B L (B) 側では Q 15 に流れるリファレンス電流に応じてレベルが変化される。このレベル変化がある程度大きくなるまでセンスアンプ S A (L) は非活性にされている。この間、メインアンプ M A はイコライズされ、読み出し主ビット線 G B L r (R)、G B L r (L) は中間レベルにされる。時刻 t_2 にセンスアンプ S A (L) が活性化されると、そのときの信号線 C B L (T) と C B L (B) の差電圧を差動増幅して読み出し主ビット線 G B L r (R)、G B L r (L) を増幅する。その後、時刻 t_3 にメインアンプ M A が起動され、読み出し主ビット線 G B L r (R)、G B L r (L) が更に増幅され、出力 O U T が確定する。

【0059】

図 8 には差動センスを行うメモリマットの階層化ビット線構造の別の詳細が例示される。メモリアレイの間にセンスアンプや列選択回路が接続される構成において、書き込み又は消去時にビット線 B L に高電圧が印加される場合を想定する。センスアンプや列選択回路の動作速度という点ではそれら回路を構成するトランジスタは高耐圧MOSトランジスタでない方が望ましい。その場合には、図 8 のように、メモリアレイと列選択回路の間に、高耐圧MOSトランジスタによって接続及び分離可能にされた分離回路 50 を設けるとよい。センスアンプや列選

抵抗回路を高耐圧MOSトランジスタで構成する場合は勿論、スプリットゲート構造のように書き込み及び消去の高電圧がビット線に印加されない回路構造にあっても、上記分離回路50は不要である。

【0060】

《センスアンプ電源配線レイアウト》

図9にはセンスアンプアレイの電源配線レイアウトが例示される。図2及び図5等で説明したメモリアレイ21の階層化によりセンスアンプアレイ23はメモリアレイ21の並列方向に分散されている。このとき、複数のセンスアンプアレイ23毎にセンスアンプSAの配列方向に沿って幅狭の個別電源配線（第1電源配線）61, 62が設けられ、前記個別電源配線61, 62から離間した位置に当該個別電源配線61, 62よりも幅広の共通電源配線（第2電源配線）63, 64が設けられ、夫々の前記個別電源配線61, 62と共に共通電源配線63, 64はビット線BL方向に設けられた接続電源配線（第3電源配線）65, 66にて複数箇所で接続される。特に、この例では書き込みビット線GBLwを各メモリアレイにおいてビット線2本に1本の割合で設け、何れのビット線と接続するかは分離スイッチDSWで選択するように構成している。要するに各メモリアレイにおいて1本のビット線BLに1本の書き込みビット線GBLwを対応させることを行っていない。換言すれば、並列書き込みビット数が1024ビットのように予め決まっているとき、必要な記憶容量を得るに当たり、ワード線方向に配列されるメモリセルの数を2倍にし、その分だけワード線本数を少なくすることが可能なレイアウトを採用している。これに着目して、前記接続電源配線65, 66をビット線BL2本毎にその間に配置するようにして、前記接続電源配線65, 66によるチップ占有面積増大を極力抑えるようにしている。

【0061】

前記電源配線61, 63, 65は電源電圧Vdd用であり、電源配線62, 64, 66は回路の接地電圧Vss用である。前記個別電源配線61, 62と接続電源配線65, 66は例えば0.24μmの電源配線である。前記共通電源配線63, 64夫々10μmの幅広の電源配線とされる。

【0062】

上記電源配線レイアウトにより、夫々のセンスアンプアレイ23にはそのアレイ方向一端側から動作電源が供給されるのではなく、アレイ方向に交差する多数の接続電源配線65, 66から並列に動作電源Vdd, Vssが供給される。したがって、多数のセンスアンプSAが同時に動作しても電流集中による電位変化を生じ難い。このことは、接続電源配線65, 66の本数に着目すると更に理解が容易である。即ち、接続電源配線65, 66の本数は、夫々書き込みビット線GBLwの半分の本数であり、並列書き込みビット数が1024ビットの例に従えば512本ずつ存在する。接続電源配線65, 66の幅は合わせて $512 \times 0.24 \mu\text{m} = 122.88 \mu\text{m}$ になっている。

【0063】

その一方で、センスアンプアレイ23毎に $10 \mu\text{m}$ のような夫々幅広の電源電圧用、接地電圧用の個別電源配線を離間させて何本も通すことを要しない。センスアンプアレイ23の数に比例してセンスアンプの電源配線によるチップ占有面積が増大する事態を防止することができる。

【0064】

図10にはセンスアンプ電源レイアウトの比較例が示される。ここでは、センスアンプアレイ23毎の個別電源線61, 62は例えばその両端部で図示を省略する電源支線に接続される。要するに、電源は電源配線61, 62の両端から供給されることになる。複数のセンサアンプSAが並列動作すると電流集中を起こすため、個別電源配線61, 62の配線幅をある程度広くし、ノイズの発生を抑える事が必要になる。図10の例では各センスアンプアレイ23の個別電源配線61（電源電圧Vdd用）, 62（回路の接地電圧Vss用）の幅を広げている。例えば個別電源配線61, 62の配線幅を夫々 $10 \mu\text{m}$ とする。例えば列選択回路22、センスアンプアレイ23併せて $50 \mu\text{m}$ のレイアウト幅を必要とする。これを各センスアンプアレイ23毎に行うと不揮発性メモリのチップ占有面積が増大する。例えば、メモリマット20中に選択回路22及びセンスアンプアレイ23が8ブロック配置されている場合、センスアンプアレイの個別電源配線61, 62の幅だけで $160 \mu\text{m}$ が必要になる。図9の例では共通電源配線63, 64の配線幅 $20 \mu\text{m}$ 程度で済む。尚、図10の例は各メモリアレイにおいて1

本のビット線B Lに1本の書き込みビット線G B L wが配置されている。

【0065】

《並列アクセス》

図2及び図4等で説明したフラッシュメモリ9では、読み出し用の読み出し主ビット線G B L rと書き込み用の書き込みビット線G B L wを別々に持ち、読み出し動作において読み出し対象とされるメモリアレイ21の分離スイッチD S Wは書き込みビット線G B L wをビット線B Lから分離される。従って、異なったメモリアレイ21に対して、読み出し動作と、消去及び書き込み動作とを並列的に行うことができる。消去及び書き込み動作を同じサイクルで行えるようにするために、図11に例示されるように、読み出し動作においてワード線W L、分離スイッチD S W及びセンスアンプS Aの動作を選択する読み出し用行デコーダ70と、書き込み動作においてワード線W L及び分離スイッチD S Wの動作を選択する書き込み用行デコーダ（第2アドレスデコーダ）71とを別々に持つ。各デコーダ70, 71の前段にはアドレスラッチ72, 73が配置されている。前記読み出し用行デコーダ70と前記列デコーダC D E Cは第1アドレスデコーダを意味する。

【0066】

図12には相互に異なるメモリアレイに対する書き込み処理と読み出し処理の動作タイミングが例示される。

【0067】

図13には図11のフラッシュメモリの応用例が示される。メモリマット20の一部のメモリアレイを当該フラッシュメモリの書き換えシーケンスのプログラムを記憶した記憶領域（書き換えシーケンス領域）74、残りのメモリアレイをユーザが自由に書き換え可能な記憶領域（ユーザメモリ領域）75とする。図11に基いて説明したように、階層センス方式を実現する階層ビット線構造と書き込みビット線構造とを分離して上記同一メモリサイクルでも書き込みと読み出しを並列化できるようになっているから、書き換えシーケンスプログラムを読み出して実行しながら、ユーザ領域のメモリを書き換えることが可能である。要するに、図14に例示されるように、直接書き換えシーケンス領域74から書き換え

制御の為の命令をフェッチし、それに基いてユーザメモリ領域75に対する書き換えを行うことができる。図15には書き換え制御手順が例示される。CPU3は直接書き換えシーケンス領域74から書き換え制御の為の命令をフェッチし、それに基いて制御回路32の書き換え制御レジスタに制御データをセットする(S2)。書き込みの場合にはCPU3はフラッシュメモリ9に書き込みデータを転送する(S3)。フラッシュメモリ9はアドレス信号にてユーザメモリ領域75の所要エリアを選択し、書き込みの場合には書き込み電圧を印加し、消去の場合には消去電圧を印加する(S4)。

【0068】

このように、書き換えシーケンスプログラムを一旦RAM4に転送して、RAM4から命令をフェッチして書き換えを制御することを要しない。これにより、比較的プログラム容量の大きな書き換えシーケンスプログラムの転送時間を省くことができ、しかも、RAMを内蔵しない半導体集積回路にも上記フラッシュメモリ9を搭載してCPU制御で書き換えを行うことができる。

【0069】

《パイプラインアクセス》

図2、図4及び図5等で説明したフラッシュメモリ9は、センスアンプアレイ23を介在させた階層化ビット線構造により、センスアンプまでのメモリアレイ内ではメモリアレイ毎に並列的に読み出し動作を行うことが可能である。パイプラインアクセスはこれに着目して、上記第1アドレスデコーダ及び第2アドレスデコーダに、連続アドレスに対してセンスアンプを共有するメモリアレイが相違するようアドレスマッピングを行うアドレスコード論理を採用する。これにより、アクセス単位に従って順次隣りのデータをアクセスするとき、順次相違するメモリアレイが選択されることになる。例えば図16において、メモリマットを階層A～階層Dとして把握したとき、メモリセルの物理アドレスは順次階層A、階層B、階層C、階層Dの順番に繰り返し配置される。図16では各階層A、B、C、D毎に、サフィックスa、b、c、dを付して、ワード線WL、プリチャージ信号SPC、センスアンプイネーブル信号SENを代表的に図示している。図16に示されるデコーダは前記各行デコーダRDEC及び列デコーダCDEC

を総称する。

【0070】

図16乃至図18はそのアドレスマッピングを前提に第1のパイプラインアクセス形態を説明するための図面である。図16は第1のパイプラインアクセス形態を実現するときのフラッシュメモリの概略ブロック図、図17はデコーダの論理回路図、図18はパイプラインリード動作のタイミングチャートである。

【0071】

第1のパイプラインアクセス形態では、図2で説明した行デコーダ（RDEC）25は、読み出し動作において、アドレス信号の変化に応答して対応するメモリアレイ毎にアドレスデコード信号を読み出し動作に必要なサイクル数ぶん保持し、アドレス信号の変化に応答して前記センスアンプを遅延動作させる。列デコーダ（CDEC）26は通常の読み出し動作とは変わりなく、行デコーダによるデコード結果に基づいて選択ワード線側のメモリマットでビット線を選択し、その選択期間は少なくともセンスアンプ駆動期間に重なるようにされる。

【0072】

これにより、例えば図18に例示されるように、リードサイクルがクロック信号の2サイクルであるとき、毎サイクルアドレス信号を変化させながら連続アドレスA、アドレスB、アドレスC、及びアドレスDのデータA、データB、データC、データDを連続に読み出すことが可能になる。

【0073】

このようなパイプラインアクセスを行うための行デコーダRDECの論理は図17に例示される通りである。即ち、その詳細が示される行デコーダRDECa（階層Aの行デコーダRDECを意味する）は、上位プレデコーダユニット80でリードアクセス対象階層を判定し、下位プレデコーダユニットで階層内のアクセス対象ワード線を判定し、双方の出力に対する論理積信号がワード線WL_aの選択信号とされる。双方のプレデコーダユニット80, 81は基本的に同じ構成を有し、その詳細が代表的に示された上位プレデコーダユニット80のように、上位アドレスをデコードするプレデコーダ82のデコード結果をラッチ回路83, 84でクロック信号CLKの2サイクル保持して出力するように構成される。

下位プレデコーダユニット81のプレデコーダは下位アドレスのデコードを行う。プリチャージ信号SCP_a及びセンスアンプ活性化信号SEN_aは上位プレデコーダユニット80のプレデコーダ82のデコード結果信号を3段の遅延回路85を用いてタイミング調整して生成される。他の行デコーダRDEC_b、RDEC_c、RDEC_dも同様に構成される。メインアンプMAの活性化制御信号MENを生成する信号生成回路MDGは、フラッシュメモリの読み出し動作を選択するモジュールセレクト信号SELをクロック信号CLKに同期してラッチする直列2段のラッチ回路87、88と、終段ラッチ回路の88の出力変化に基いてパルスを生成するパルス生成回路89とによって構成される。

【0074】

図19乃至図21は前記アドレスマッピングを前提に第2のパイプラインアクセス形態を説明するための図面である。図19は第2のパイプラインアクセス形態を実現するときのフラッシュメモリの概略ブロック図、図20はデコーダの論理回路図、図21はパイプラインリード動作のタイミングチャートである。また、第2のパイプラインアクセス形態を実現するフラッシュメモリの場合、センスアンプSAは図6に代えて図22の構成を採用することが必要になる。

【0075】

図19では各階層A、B、C、D毎に、サフィックスa、b、c、dを付して、ワード線WL、プリチャージ信号SPC、センスアンプイネーブル信号SEN、読み出し主ビット線ドライブ信号GBL_rDRVを代表的に図示している。図19に示されるデコーダは前記各行デコーダRDEC及び列デコーダCDECを総称する。

【0076】

第2のパイプラインアクセス形態では、図2で説明した行デコーダ(RDEC)25は、読み出し動作において、アドレス信号で指定されるアドレスと次のアドレスの双方のワード線を並列選択すると共に、前記指定されるアドレスと次のアドレスに応ずる夫々のセンスアンプによる第2ビット線の駆動を順次駆動制御とする。列デコーダ(CDEC)26は、行デコーダ25によるデコード結果に基づいて選択ワード線側のメモリマットでビット線を選択し、その選択期間は少

なくともセンスアンプ駆動期間に重なるようにされる。よって、連続アドレスのワード線が並列選択されるのに応答して、夫々のメモリアレイにおいてビット線も並列選択される。

【0077】

これにより、例えば図21に例示されるように、リードサイクルがクロック信号の2サイクルであるとき、最初のメモリサイクルでアドレスAが指定され、次のメモリサイクルでアドレスCが指定されると、最初のメモリサイクル(CLK 2サイクル)ではアドレスAのメモリマットでワード線選択、ビット線選択及びセンスアンプ駆動が行なわれ、これに並行してアドレスBのメモリマットでワード線選択、ビット線選択及びセンスアンプ駆動が行なわれる。次のメモリサイクル(CLK 2サイクル)ではアドレスCのメモリマットでワード線選択、ビット線選択及びセンスアンプ駆動が行なわれ、これに並行してアドレスDのメモリマットでワード線選択、ビット線選択及びセンスアンプ駆動が行なわれる。合計4個のメモリアレイのセンスアンプSAの出力は、データA、データB、データC、データDの順に直列的に行なわれる。

【0078】

このようなパイプラインアクセスを行うためのセンスアンプSAの構成は図22に例示される通りである。即ち、センス動作と出力動作のタイミングを別々に制御可能にするために、図6の構成に対し、MOSトランジスタQ9, Q10による出力動作を、読み出し主ビット線ドライブ信号GBLrDRVが活性化されて初めて可能とするように、論理和ゲート90, 91とインバータ92を追加した。

【0079】

また、第2形態のパイプラインアクセスを行うための行デコーダRDECの論理は図20に例示される通りである。ここでは、階層A及び階層Bの行デコーダRDECを意味する行デコーダRDECabが例示される。図17のRDECa, RDECbに対し上位プレデコーダユニット80及び下位プレデコーダユニット81は同じ構成を有し、双方の論理積信号がワード線WL_aとワード線WL_bの選択信号とされる。プリチャージ信号SPCa, SPCbは上位プレデコーダ

82の出力変化に基づいてパルスを生成するパルス生成回路100で生成される。センスアンプ活性化信号SEN_a, SEN_bは前記ラッチ回路84の出力と前記パルス生成回路100の出力を入力する遅延ラッチ回路101により生成される。読み出し主ビット線ドライブ信号GBL_rDRV_a, GBL_rDRV_bは前記ラッチ回路84の出力を順次遅延回路102、103, 104, 105で遅延させて順次活性化される。

【0080】

《メモリカード》

図23に本発明に係る不揮発性メモリ装置の一例であるメモリカードの概略図を示す。メモリカード120は外部とのインターフェースを行うインターフェース部121とメモリカードの動作制御を行うコントローラ122及び1又は複数の本発明の不揮発性メモリ123から構成される。不揮発性メモリ123は例えば、図5で代表される前記フラッシュメモリ9と同じように、書きを行っているメモリセルを含むメモリアレイと当該メモリアレイの副ビット線をセンスアンプのリファレンス入力とするメモリアレイとを除く他のメモリアレイでは、当該書き動作に並行して読み出し動作を行うことが可能である。従って、外部からの書き動作要求と読み出し動作要求とに対して、コントローラはこれらの要求に対する動作を並行して行うことができる。また図24の様に、外部から入力されるアドレス（論理アドレス）に対しアクセスする不揮発性メモリ内のアドレス（物理アドレス）との変換対応テーブル124を持つメモリカード120の場合、書き動作を行うとき、任意の物理アドレスに新たなデータを書き込み、変換対応テーブルを更新するのであっても良い。このような変換対応テーブル124を持つメモリカード120であれば、読み出し動作を行う物理アドレスを含むメモリアレイと並行して書き動作が可能なメモリアレイとなるように物理アドレスを選択し、読み出し動作と書き動作とを並行して行い、その後に変換対応テーブルを更新することで書き動作と読み出し動作とのターンアラウンドタイムを見かけ上短くすることが可能となる。

【0081】

《ベリファイアクセス》

メモリアレイの異なる階層で上記書込動作と読み出し動作が並列化されるときのベリファイ読み出しに着目した実施形態について説明する。

【0082】

図25から図29には異なる階層で書込動作と読み出し動作が並列化されるときベリファイ読み出しの読み出しデータと読み出し動作の読み出しデータの競合を回避可能にする第1の実施形態が例示される。

【0083】

図25には上記読み出しデータ競合回避を実現するときのフラッシュメモリの概略が示される。図には階層A、Bの2階層分のメモリアレイが例示される。読み出し主ビット線G B L_rに対応してベリファイ用主ビット線G B L_vが設けられる。メインアンプは左右の領域U Tに対して読み出し用のMA_rとベリファイ用のMA_vが設けられ、その出力をセレクタS E Lで選択するようになっている。読み出し用メインアンプMA_rは対応する左右領域U Tの読み出し主ビット線G B L_rに入力が接続され、相互に一方がセンス側、他方がリファレンス側とされる。ベリファイ用メインアンプMA_vは対応する左右領域U Tのベリファイ用主ビット線G B L_vに入力が接続され、相互に一方がセンス側、他方がリファレンス側とされる。ベリファイ読み出しデータはデータバスを介して、図示しないC P Uに送信され比較される。その他の構成は図4及び図5で説明した構成と変わりない。

【0084】

図26には図25の動作タイミングチャートが示される。図25において、階層Aが読み出し動作を行い、階層Bが書込動作の1ステップとしてベリファイ読み出し動作を行うものとして動作を説明する。

【0085】

図26のタイミングチャートにおいて、階層Aにおいて読み出しG B L ドライブ信号G B L_r D R V_aがイネーブルとなり当該階層のセンスアンプS A (L)が読み出し主ビット線G B L_rへ読み出しデータを出力するタイミングと、階層BにおいてベリファイG B L ドライブ信号G B L_r D R V_bがイネーブルとなり当該階層のセンスアンプS A (L)がベリファイ用主ビット線G B L_vへ読み出

しデータを出力するタイミングが同じである例を示している。この場合、セレクト信号A S Lに繋がるセレクタS E Lは読み出し主ビット線G B L r側に接続される階層AのメインアンプM A rで増幅された信号をデータバスに出力する。その後、ベリファイ用主ビット線G B L vに接続される階層B側のメインアンプM A vにおいて増幅された信号をデータバスに出力している。これは読み出し動作とベリファイ動作とでは読み出し動作を優先したものであり、逆であっても問題ない。またM A rとM A vの何れか一方が先に信号の出力動作を行なっている場合には、出力完了後に他方のメインアンプが出力動作を開始すればよい。

【0086】

図27には上記読み出しデータ競合回避を実現するときの別のフラッシュメモリの概略が示される。図25との相違点は、読み出し主ビット線G B L rにはメインアンプM Aを、ベリファイ用主ビット線G B L vにはベリファイ比較器C M Pを配置した点である。ベリファイ用比較器C M Pは、データバスより供給された書込データとベリファイ用主ビット線G B L vから読み出したデータとの比較を行い、書込動作が完了したか否かの判定を行うことができる。

【0087】

図28には図27の動作タイミングチャートが示される。図28には図27の階層Aが読み出し動作を行い、階層Bが書込動作の1ステップとしてベリファイ読み出し動作を行う場合を例としている。図28のタイミングチャートにおいて、階層Aにおいて読み出しG B L ドライブ信号G B L r D R V aがイネーブルとなり当該階層のセンスアンプS A (L)が読み出し主ビット線G B L rへ読み出しデータを出力するタイミングと、階層BにおいてベリファイG B L ドライブ信号G B L v D R V bがイネーブルとなり当該階層のセンスアンプS A (L)がベリファイ用主ビット線G B L vへ読み出しデータを出力するタイミングが同じである例を示している。この場合、読み出し主ビット線G B L rに接続されるメインアンプM Aで増幅された信号はデータバスに出力する。これに並行して、ベリファイ用主ビット線G B L vに接続されるベリファイ比較器C M Pでは書き込みデータとベリファイ主ビット線G L B vから読み出されたデータとの比較が行なわれる。ベリファイ比較器C M Pを含む図示しない書込系回路において、比較

結果が書込動作が完了していない事を示す場合は書込動作の継続をし、比較結果が書込動作が完了している事を示す場合は当該ペリファイ用主ビット GBLv に接続されている書き込み対象メモリセルに対する書込は終了される。尚、図 27 では比較器 CMP の入力にデータバスから直接書き込みデータが入力されるように図示されているが、実際は図示を省略する書き込みデータラッチやその他書き込み用回路を経由していると理解されたい。

【0088】

上記フラッシュメモリにより、書込動作と読み出し動作とを異なる階層において並行して行うことが可能となり、書込動作と読み出し動作とのターンアラウンドタイムを見かけ上短くすることが可能となる。

【0089】

図 29 には図 25 乃至図 28 に示す実施形態で用いられるセンスアンプ SA の詳細が例示される。同図に示されるセンスアンプは、読み出し主ビット線 GBLr に接続されトランジスタ Q9, Q10 から成る出力ドライバと、ペリファイ主ビット線 GBLv に接続されトランジスタ Q20, Q21 から成る出力ドライバとの何れに出力信号を供給するかを、読み出し GBL ドライブ信号 GBLr DRV とペリファイ GBL ドライブ信号 GBLv DRV により決定する選択回路部を有している。選択部はゲート回路 90 ~ 95 によって構成される。図 29 の構成は 22 の構成に対し、トランジスタ Q20, Q21 から成る出力ドライバ、ゲート回路 93 ~ 95 から成る選択ロジックが追加されている点が相違される。センスアンプ SA をこのように構成することにより、一つのアンプ回路において読み出し主ビット線 GBLr とペリファイ主ビット線 GBLv のいずれか一方に、メモリセルから読み出した信号を増幅して出力することが可能となる。

【0090】

以上説明した発明の実施の形態によれば以下の作用効果を得ることができる。

【0091】

(1) ビット線方向をいくつかに分割する。この分割した副ビット線単位に列デコーダとセンスアンプの読み出し回路を配置する。これによりビット線の負荷容量を小さくすることができる。

【0092】

(2) 上下対称の副ビット線の間に列デコーダとセンスアンプを挿入し、上下の列デコーダを同時に動作させる。上部の副ビット線を読み出す場合は下部の副ビット線をリファレンス線とし、下部の副ビット線を読み出す場合は上部の副ビット線をリファレンス線とし、この2本の副ビット線電位を差動型センスアンプで比較する。ビット線電位の差動センスにより読み出し動作の高速化に寄与する。

【0093】

(3) 各センスアンプ回路の出力は、読み出し主ビット線を介してメモリアレイ端に引き出し、バスインターフェース回路に接続することができる。

【0094】

(4) 読み出し主ビット線をメインアンプに繋ぐ構成を採用することにより、読み出し動作の更なる高速化が可能になる。

【0095】

(5) 読み出し主ビット線とは別に、書き込みビット線を配置し、階層スイッチ（分離スイッチ）を介して分割した副ビット線に接続する。これにより、一組の書き込み回路等による並列書き込みを保証する。

【0096】

(6) 書き込み消去の完了を判定するベリファイリードは、比較的低速であることが許されるため、ベリファイリードはこの書き込みの主ビット線を用いる。このためベリファイに使用する回路も分散させなくて済む。

【0097】

(7) 階層センス方式では、センスアンプなどの読み出し回路をメモリマット内に複数配置する。このセンスアンプはビット線と直交して配置され、電源線も同様にビット線と直交する。複数が動作するセンスアンプでは電流集中を起こすため広い電源幅とし、ノイズの発生を抑える。この複数の広い電源幅はそのままモジュール面積の増大になる。このため、階層スイッチを介して副ビット線を書き込みビット線に接続する場合、2ビットまたは複数の副ビット線を1本の書き込みビット線に接続する。この結果、主ビット線のメタル間隔は広くなり、この

主ビット線の間に電源配線を通すことが可能になる。センスアンプなどの読み出し回路には、このビット線と平行な電源配線から動作電源を供給することで、モジュール面積の増大を抑えることが出来る。同時にメタル層の増大を抑えることが出来る。複数のセンスアンプが同時に動作しても電流集中を起こさないため、ノイズの発生を抑える効果がある。

【0098】

(8) 読み出しの主ビット線とは異なる書き込みの主ビット線を備えることで、異なった副ビット線内のメモリに対して、読み出しと書き込み消去を同じサイクルで行うことができる。ここで、読み出しデータと書き込みデータが衝突しない様に同じ副ビット線内のメモリに対しては、同じサイクルにアクセスしない様な制限が必要となる。読み出しと書き込み消去を同じサイクルで実行するには、アドレスラッチ回路やワード線デコーダ回路を、読み出しと書き込み消去用で2組備えるとよい。

【0099】

(9) フラッシュメモリの書き換えシーケンスのプログラムを記憶したメモリと、ユーザが書き換えるメモリとを同一アレイに配置することができる。上記の読み出し階層センスと書き込みビット線構造を用いて両者を分割し、書き換えシーケンスプログラムを読み出して実行しながら、ユーザ領域のメモリを書き換えることができる。従来の様に、書き換えシーケンスプログラムを一旦RAMに転送する必要がなく、RAMを内蔵しない半導体集積回路にもそのようなフラッシュメモリを搭載することができる。

【0100】

(10) 本発明を適用した不揮発性メモリをメモリカードに用いることで、読み出し動作と書込動作とを並行して行うことが可能となり、ユーザから見たターンアラウンドタイムを短縮することができる。

【0101】

(11) 異なる階層において読み出し動作と書込動作中のベリファイ読み出し動作とを並行するとき、双方からの読み出しデータの経路を個別化することにより、双方からの読み出しデータの競合が解消されユーザから見たターンアラウンドタイムを短縮することができる。

ドタイムを短縮することができる。

【0102】

以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【0103】

例えば、不揮発性メモリセルは閾値電圧の相違によって情報記憶を行うもの、或は電子などにキャリアの注入される位置の相違に良いって情報記憶を行うものであってよい。また、1個のメモリセルによる情報記憶は1ビットに限定されず複数ビットであってもよい。不揮発メモリは複数メモリマットを備え、夫々に対してメモリアレイによる階層化ビット線構造を採用してもよい。

【0104】

本発明をマイクロコンピュータなどのデータ処理用半導体集積回路に適用する場合に不揮発性メモリとオンチップする回路モジュールは上記の例に限定されず適宜変更可能である。また、本発明は不揮発性メモリ単体の半導体集積回路にも適用することができうる。不揮発性メモリはフラッシュメモリに限定されず高誘電体メモリなどであってもよい。

【0105】

図25以降を参照して説明したベリファイ読み出しにおいて、ベリファイ用主ビット線を追加する代わりに、書込に用いる書込主ビット線をベリファイ読み出し用の主ビット線として用いることも可能である。

【0106】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0107】

すなわち、1つのセンスアンプに繋がる負荷容量を小さくでき、読み出し時間を大幅に短縮できる。また、読み出し中に、他のメモリに対して書き込み消去を行うことができる。

【0108】

ビット線とビット線の間に電源配線を通し、それを多数のセンスアンプに接続することで、多数のセンスアンプが同時に動作しても電流集中を生じ難い。更に、各センスアンプアレイ毎に幅の広い電源配線を分散して配置することを要したため、チップ面積の小型化に寄与することができる。

【0109】

読み出し主ビット線と書き込みビット線が分割されているため、読み出しデータと書き込みデータを同時に扱うことが出来る。したがって、本発明の半導体集積回路を用いたデータ処理システムでは比較的長い時間をする書き込み消去中にシステムを止めることなく、データ読み出しを伴うサービスを継続することができる。また、書き換えプログラムを同一メモリアレイ内に配置した場合は、書き換えシーケンスを格納する専用のメモリを必要としない。

【図面の簡単な説明】**【図 1】**

本発明に係る半導体集積回路の一例であるマイクロコンピュータのブロック図である。

【図 2】

オンチップのフラッシュメモリを全体的に示すブロック図である。

【図 3】

スタッカドゲート構造の不揮発性メモリセルを例示する概略断面図である。

【図 4】

メモリマットの階層化ビット線構造の詳細を例示する回路図である。

【図 5】

差動センスを行うメモリマットの階層化ビット線構造の詳細を例示する回路図である。

【図 6】

差動センス用のセンスアンプの一例を示す回路図である。

【図 7】

差動センスアンプと差動メインアンプによるデータ読み出し動作のタイミング

チャートである。

【図8】

差動センスを行うメモリマットの階層化ビット線構造の別の詳細を例示する回路図である。

【図9】

センスアンプアレイの電源配線レイアウトを例示する説明図である。

【図10】

センスアンプ電源レイアウトの比較例を示す説明図である。

【図11】

同じサイクルで読み出し動作と消去又は書き込み動作とを可能にする行デコーダの構成を概念的に示す説明図である。

【図12】

相互に異なるメモリアレイに対する書き込み処理と読み出し処理の動作タイミングを例示するタイミングチャートである。

【図13】

図11のフラッシュメモリの応用例を示す説明図である。

【図14】

図11のフラッシュメモリを用いた動作の説明図である。

【図15】

図11のフラッシュメモリを用いた書き換え制御手順を例示するフローチャートである。

【図16】

第1のパイプラインアクセス形態を実現するときのフラッシュメモリの概略ブロック図である。

【図17】

第1のパイプラインアクセス形態を実現するときフラッシュメモリに採用するデコーダの論理回路図である。

【図18】

第1のパイプラインアクセス形態によるパイプラインリード動作のタイミング

チャートである。

【図29】

第2のパイプラインアクセス形態を実現するときのフラッシュメモリの概略ブロック図である。

【図20】

第2のパイプラインアクセス形態を実現するときフラッシュメモリに採用するデコーダの論理回路図である。

【図21】

第2のパイプラインアクセス形態によるパイプラインリード動作のタイミングチャートである。

【図22】

第2のパイプラインアクセス形態を実現するとき図6に代えて採用するセンスアンプの回路図である。

【図23】

本発明に係る不揮発性メモリ装置の一例であるメモリカードの概略を示すブロック図である。

【図24】

本発明に係る不揮発性メモリ装置の別の例であるメモリカードの概略を示すブロック図である。

【図25】

読み出しデータ競合回避を実現するときのフラッシュメモリの概略を示すブロック図である。

【図26】

図25に示すフラッシュメモリの動作タイミングチャートである。

【図27】

読み出しデータ競合回避を実現するときの別のフラッシュメモリの概略を示すブロック図である。

【図28】

図27に示すフラッシュメモリの動作タイミングチャートである。

【図29】

図25乃至図28に示す実施形態で用いられるセンスアンプSAの詳細を例示する回路図である。

【符号の説明】

- 1 マイクロコンピュータ
- 3 C P U
- 4 R A M
- 9 フラッシュメモリ
- MC 不揮発性メモリセル
- 20 メモリマット
- 21 メモリアレイ
- BL ビット線
- GBLr 読み出し主ビット線
- GBLw 書込みビット線
- DSW 分離スイッチ
- WL ワード線
- 22 列選択回路
- 23 センスアンプアレイ
- 25 行デコーダ
- 26 列デコーダ
- 28 書込み回路
- 29 データラッチ回路
- 30 データセレクタ
- 31 ベリファイ用アンプ
- 32 制御回路
- 34 分離スイッチアレイ
- SPC プリチャージ信号
- SEN センスアンプ活性化制御信号
- MA メインアンプ

M E N メインアンプ活性化制御信号

6 1, 6 2 個別電源配線

6 3, 6 4 共通電源配線

6 5, 6 6 接続電源配線

7 0 読み出し行デコーダ

7 2 書き込み行デコーダ

7 4 書き換えシーケンス領域

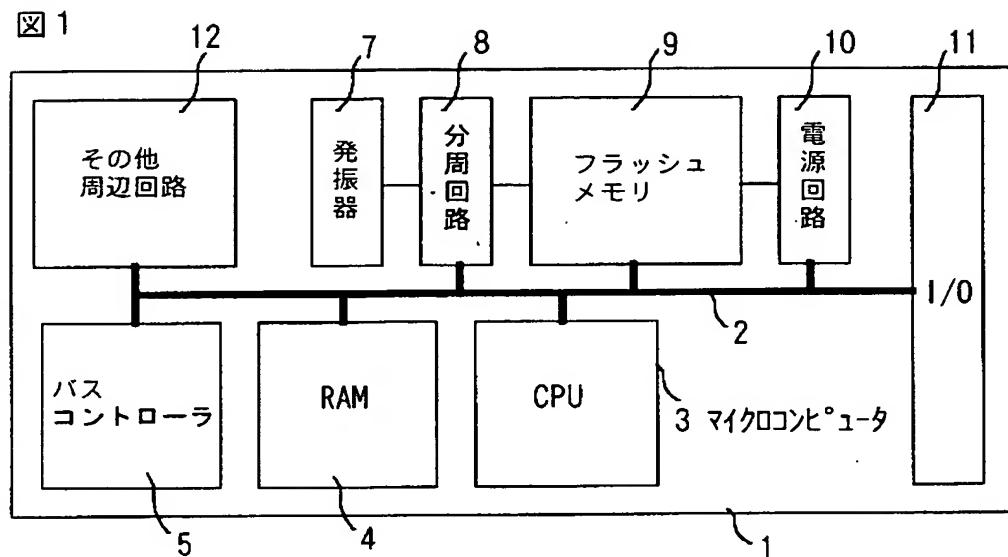
7 5 ユーザメモリ領域

R D E C a 第1形態のパイプラインアクセス用行デコーダ

R D E C a b 第2形態のパイプラインアクセス用行デコーダ

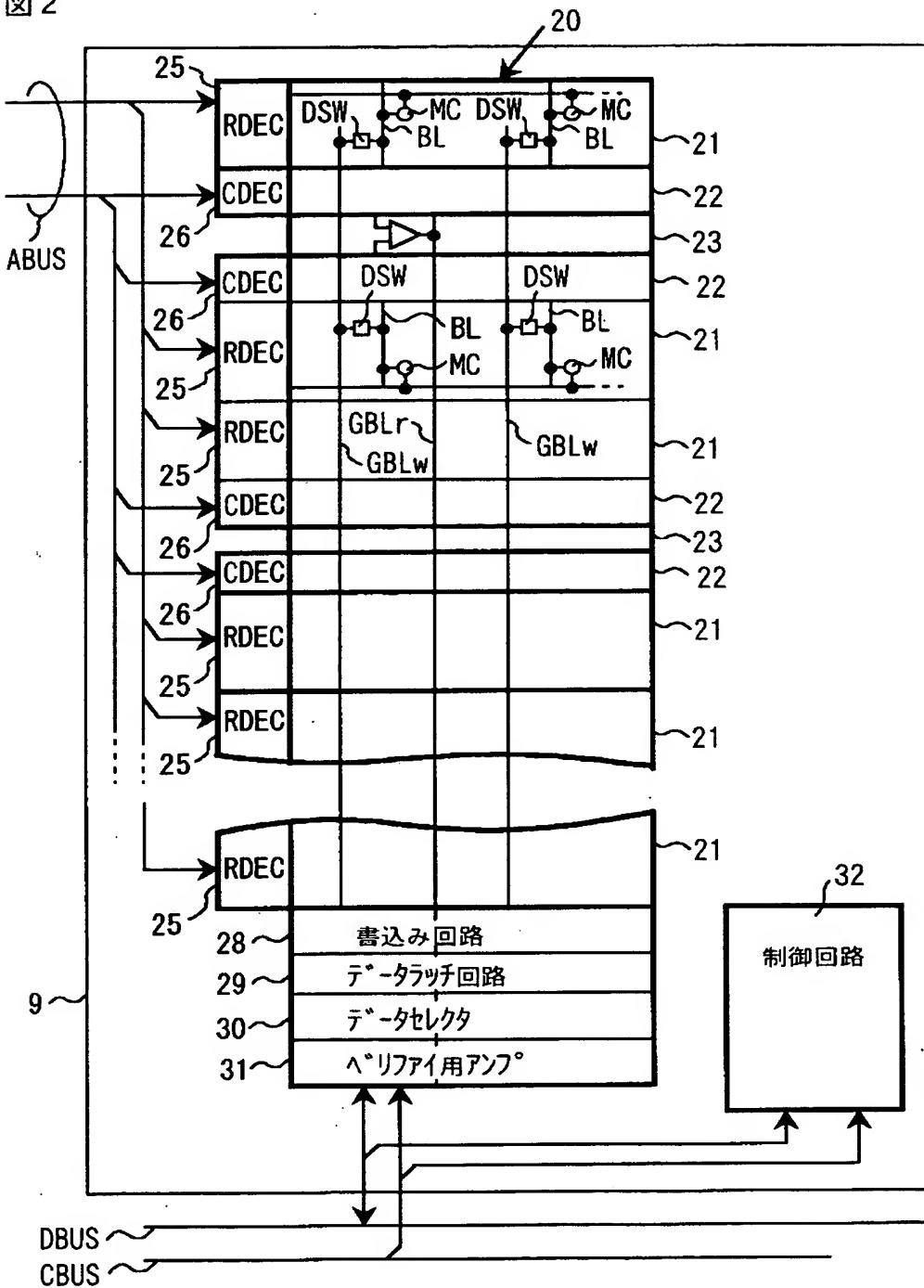
【書類名】 図面

【図 1】



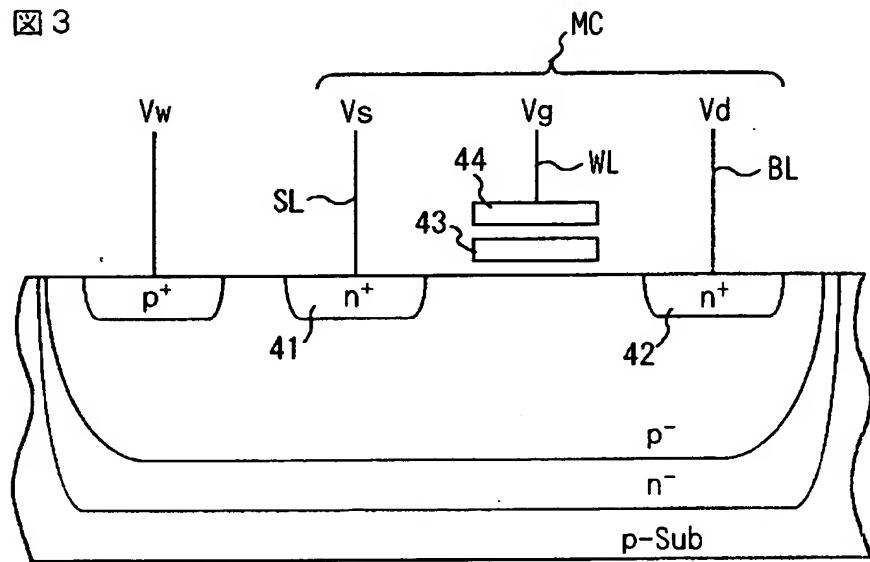
【圖 2】

2

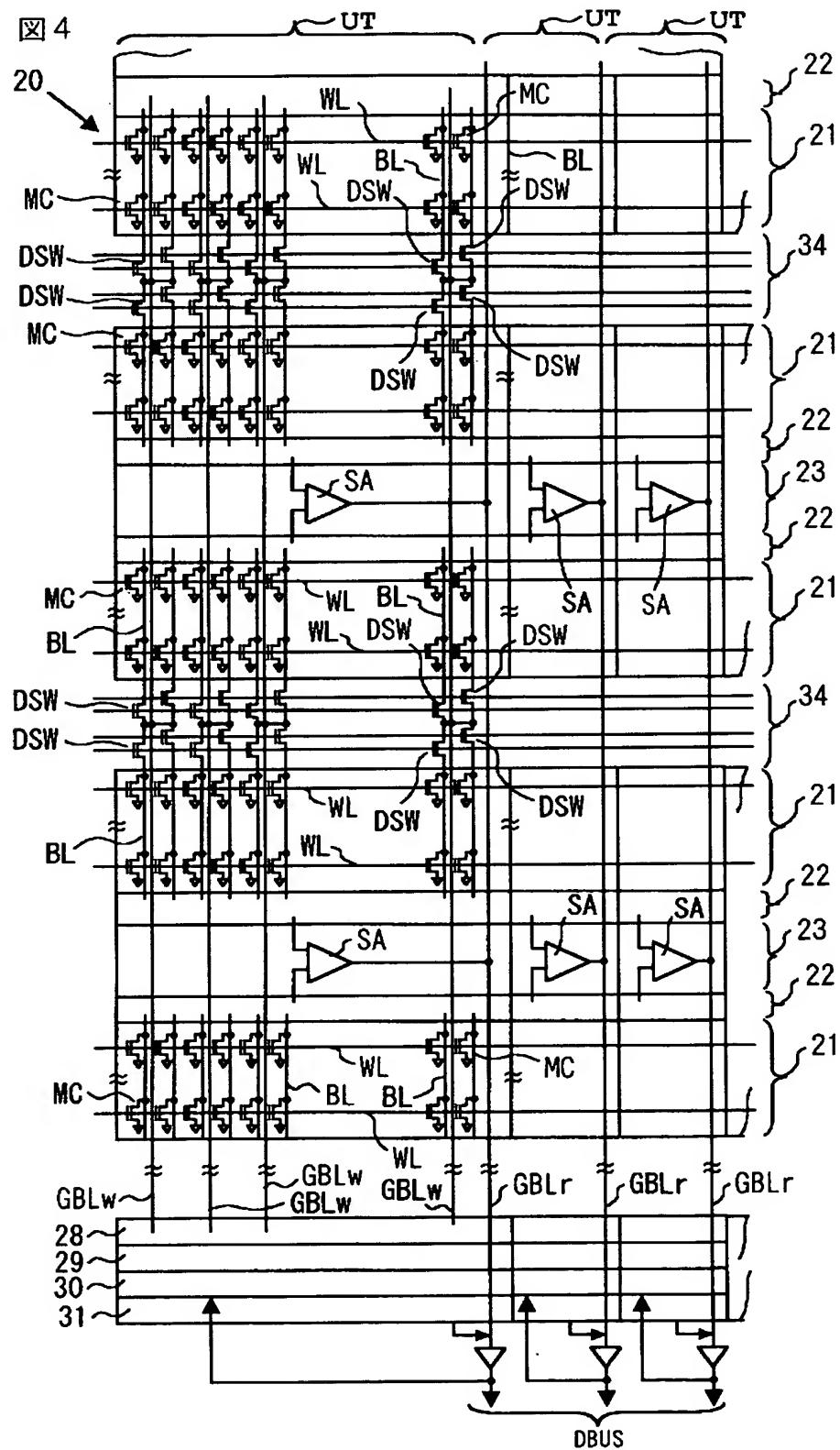


【図3】

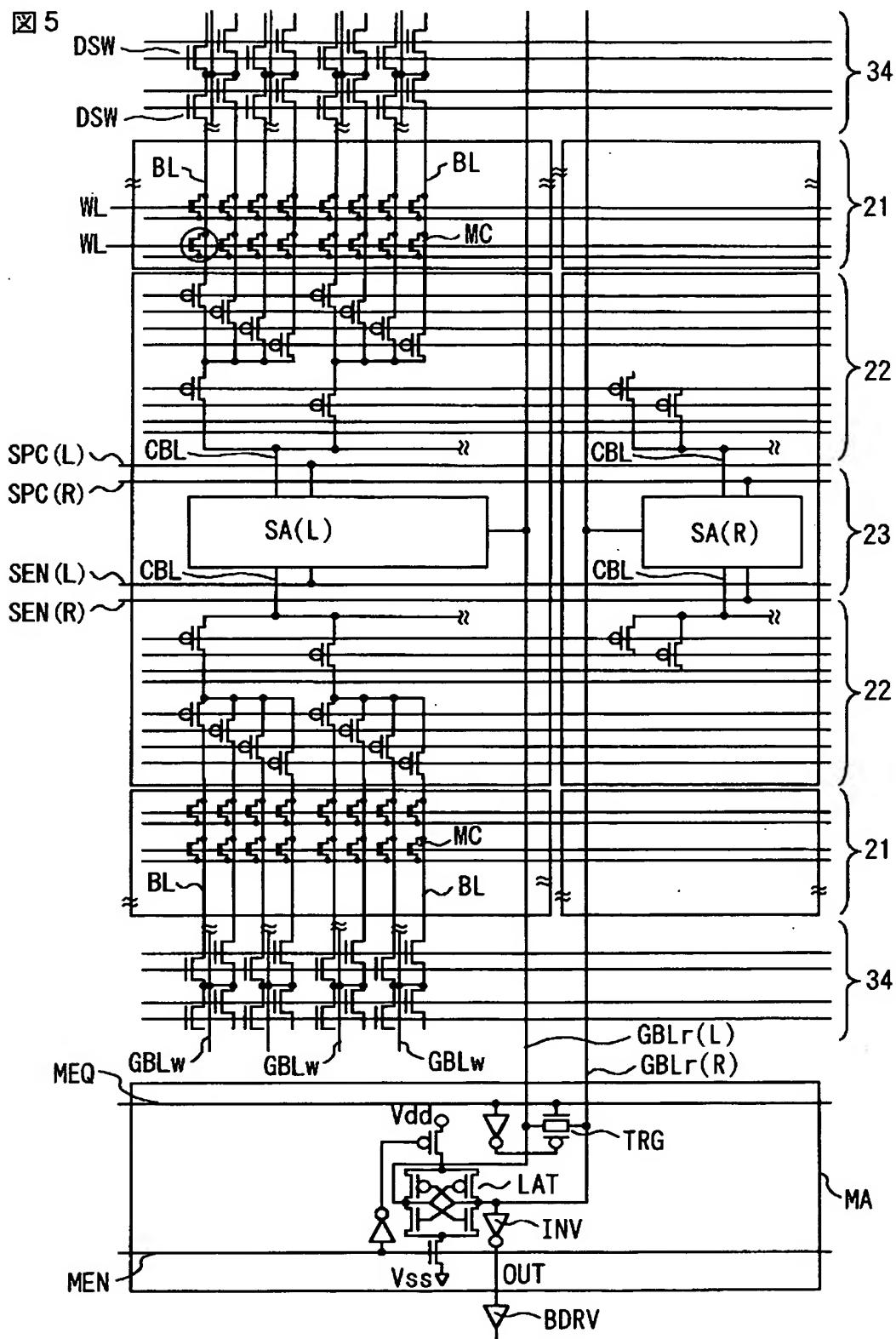
図3



【図4】

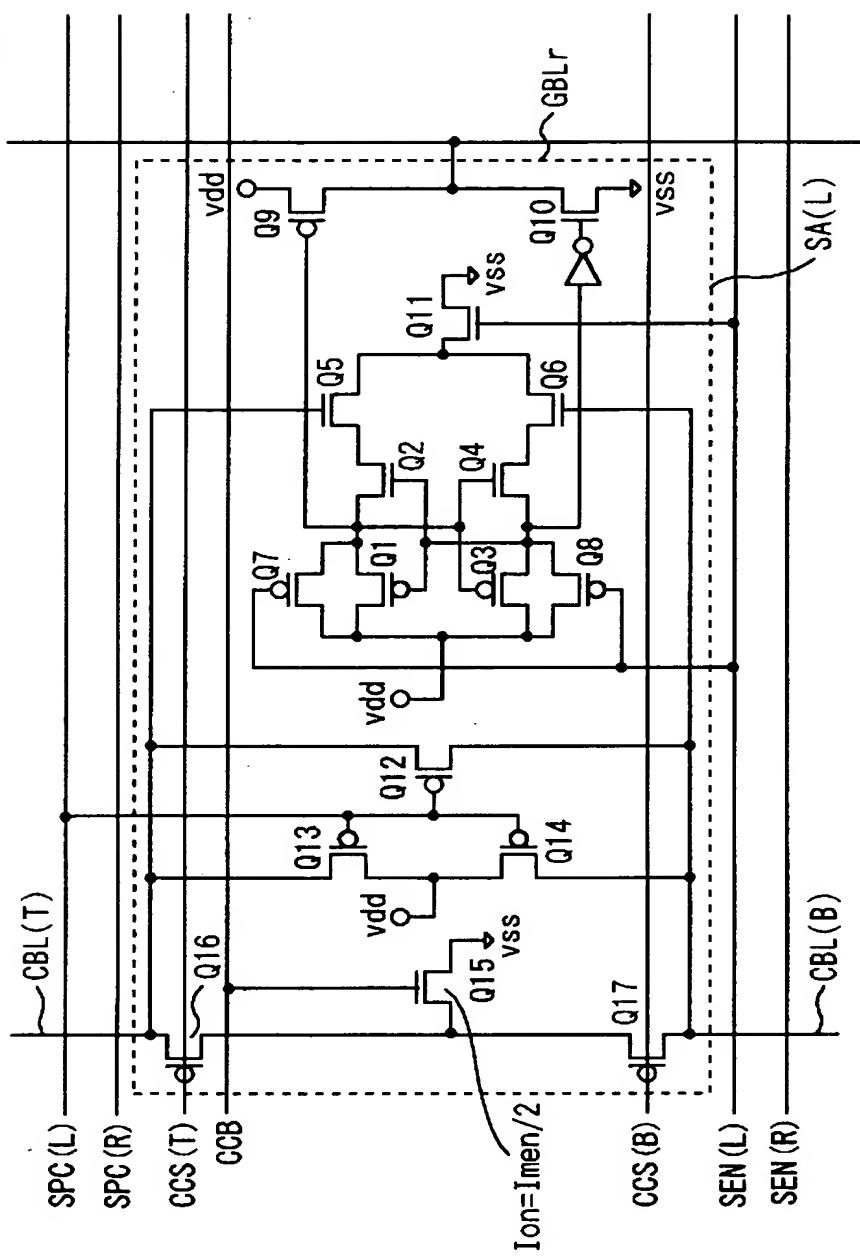


【図 5】

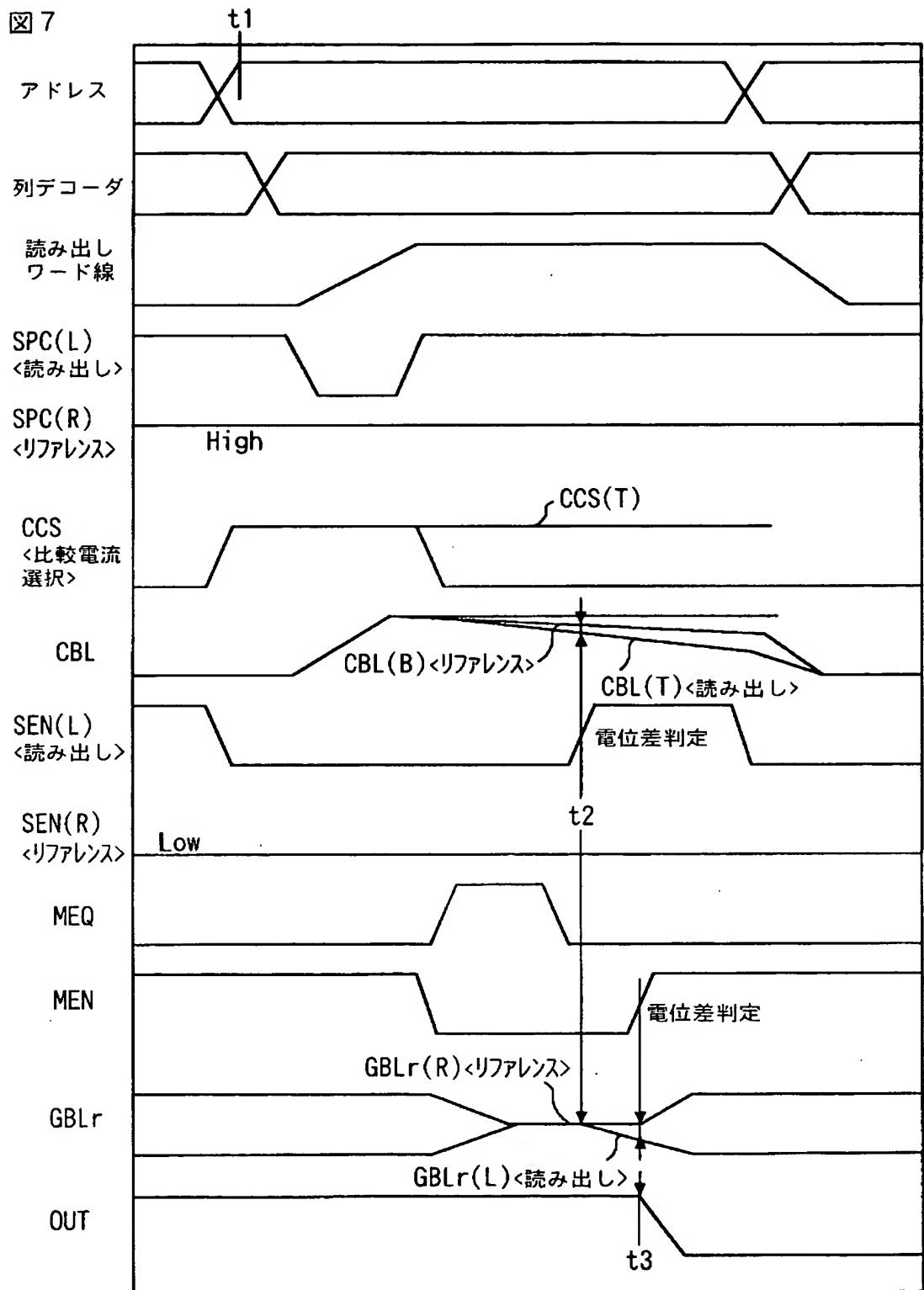


【図6】

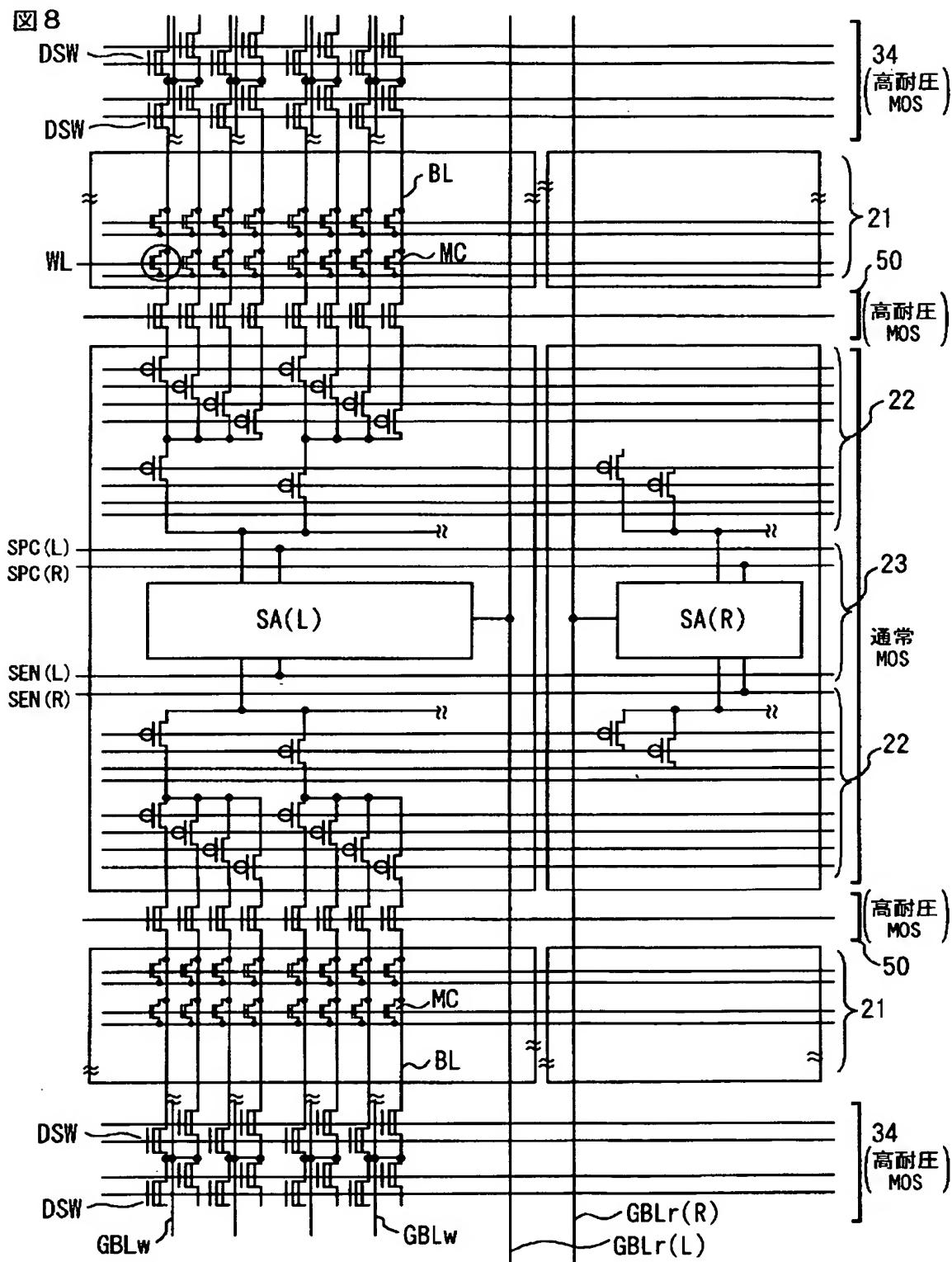
図6



【図 7】



【図8】

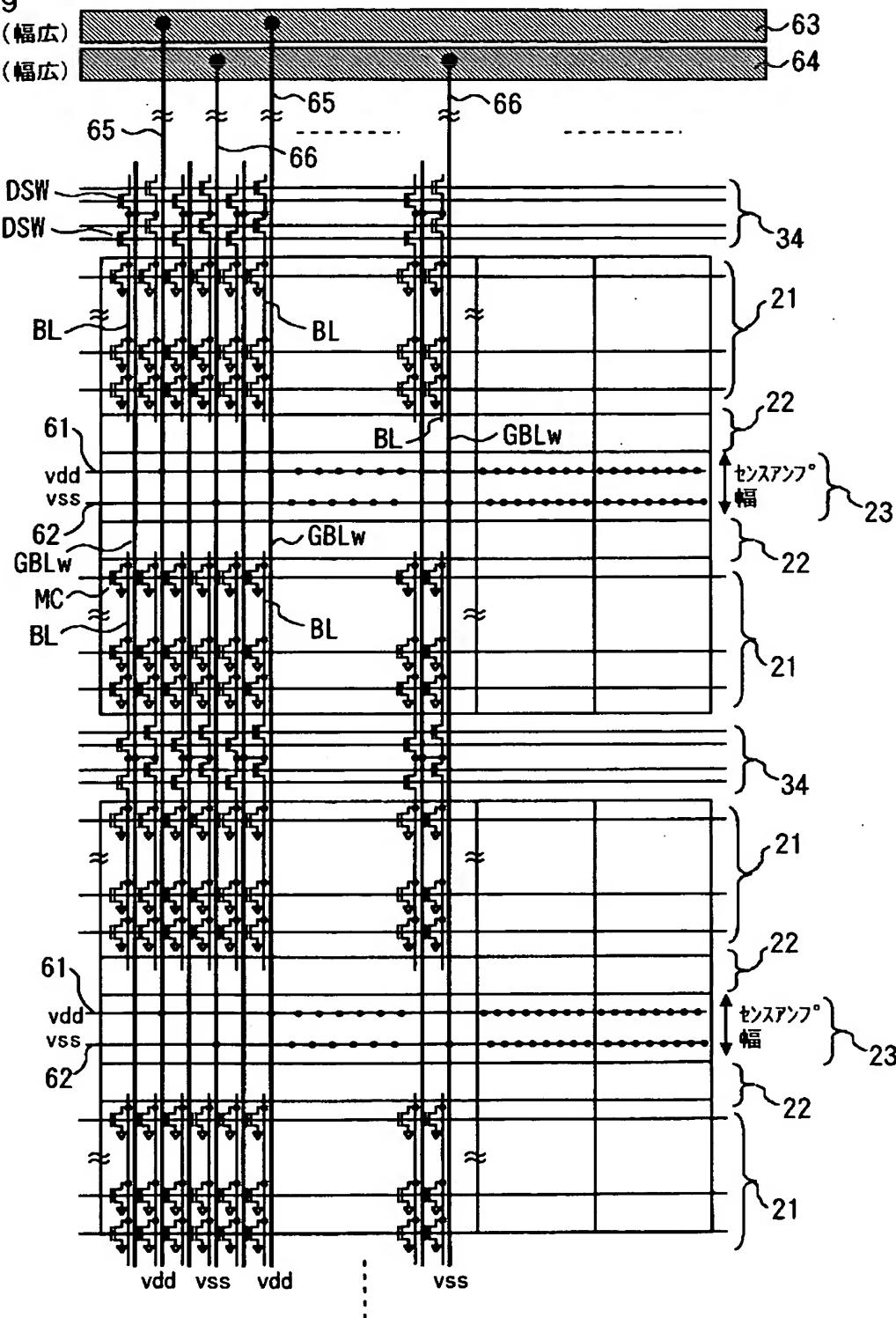


【図9】

図9

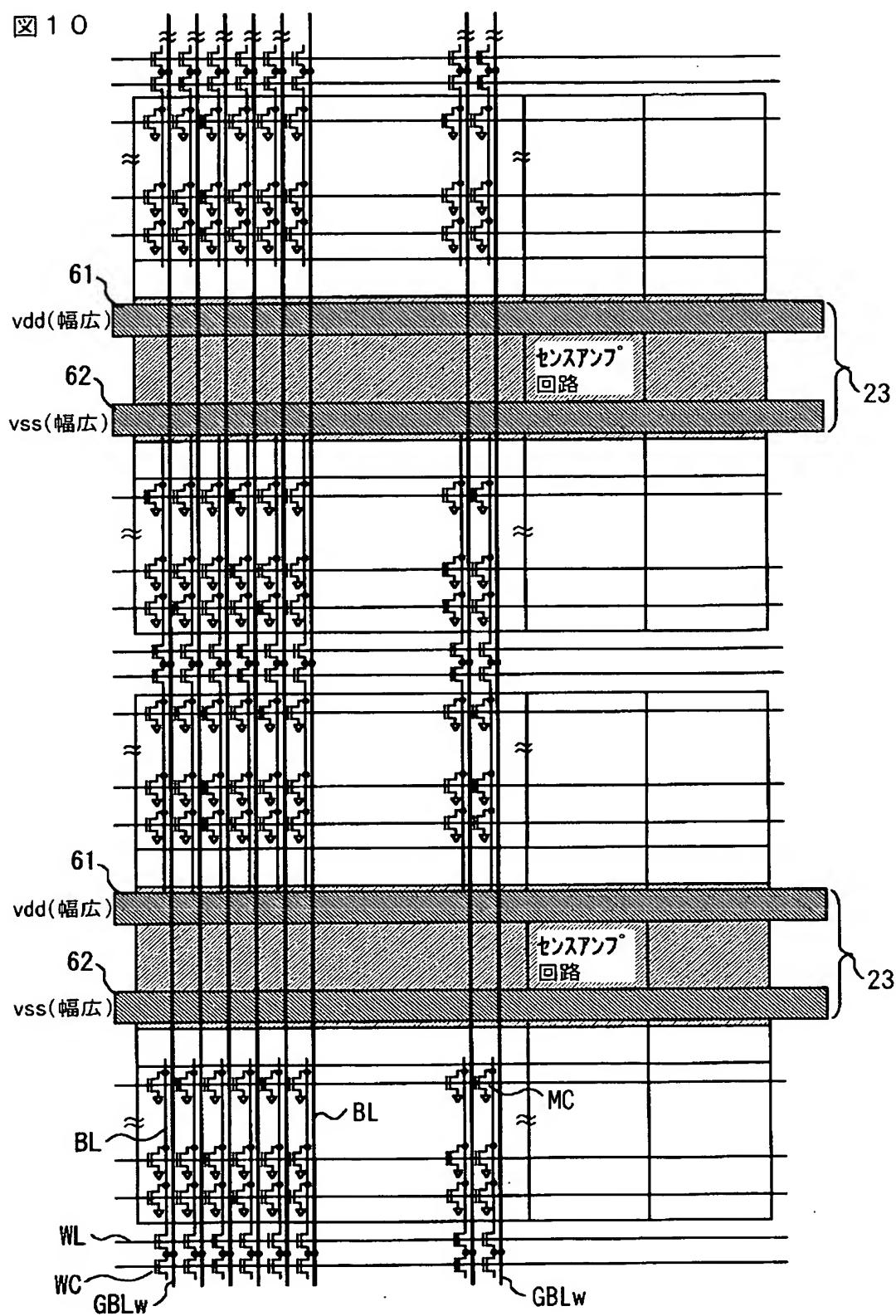
vdd(幅広)

vss(幅広)



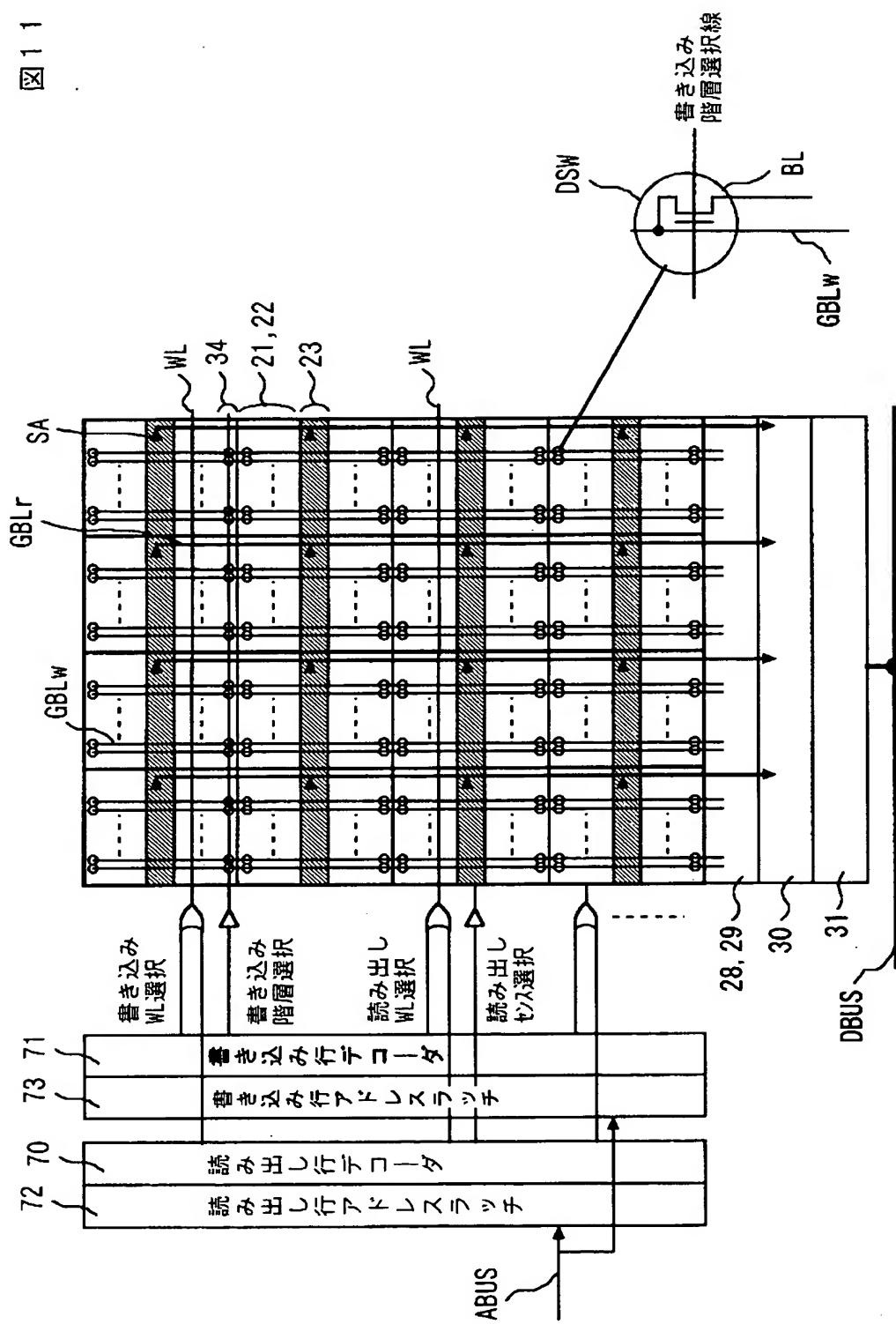
【図10】

図10



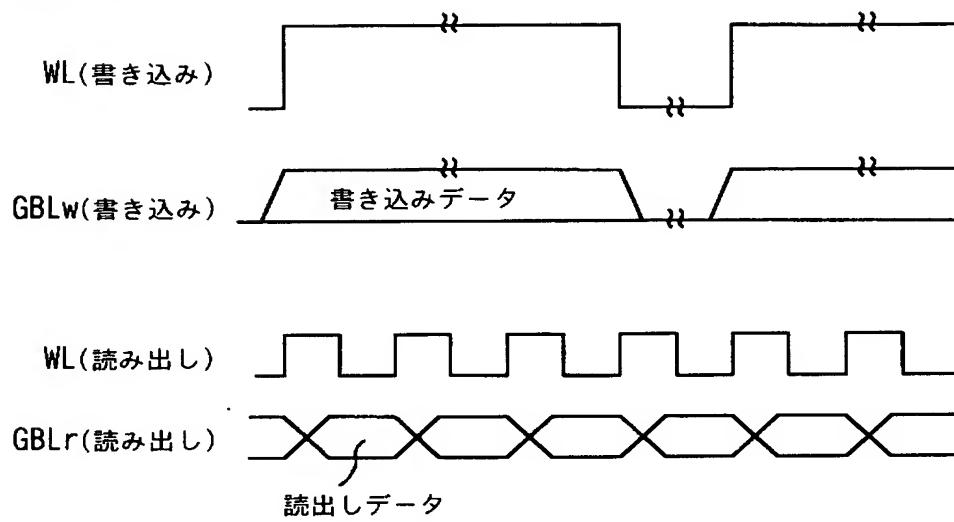
【図 11】

図 11



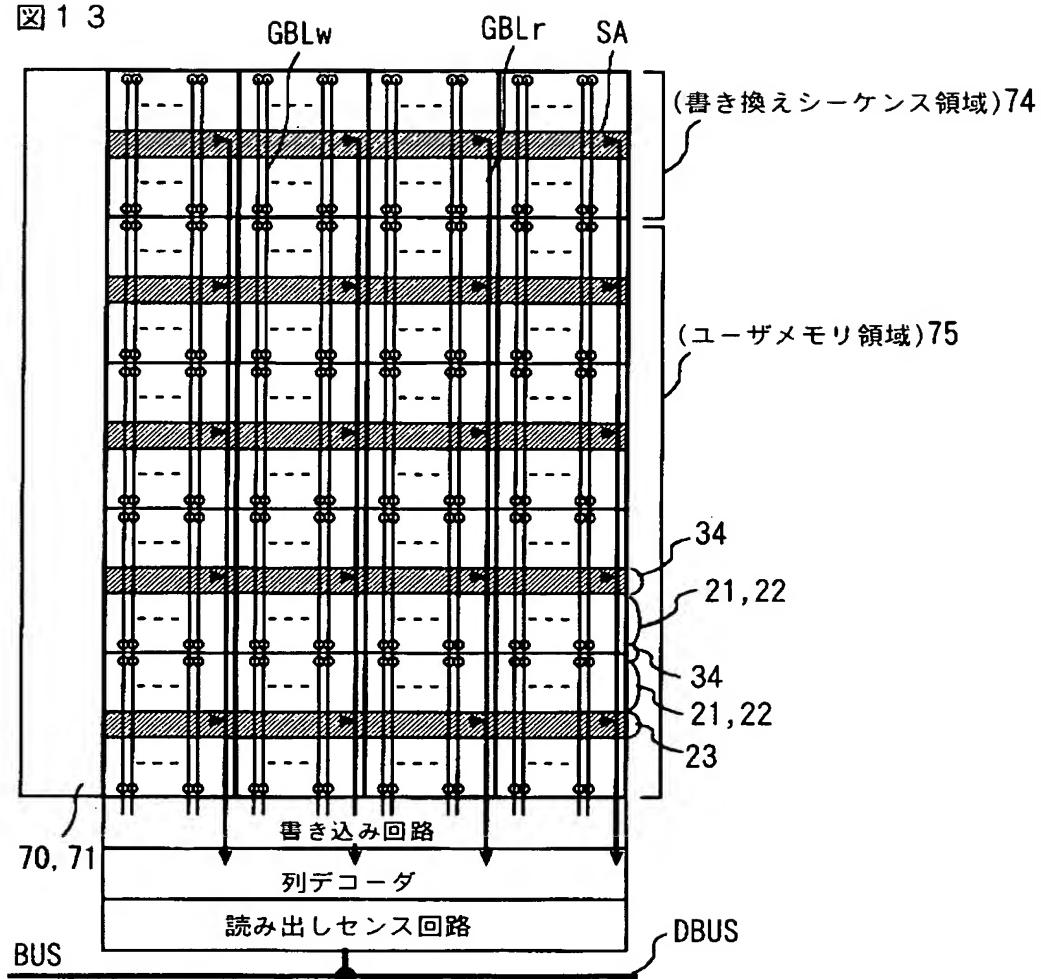
【図12】

図12



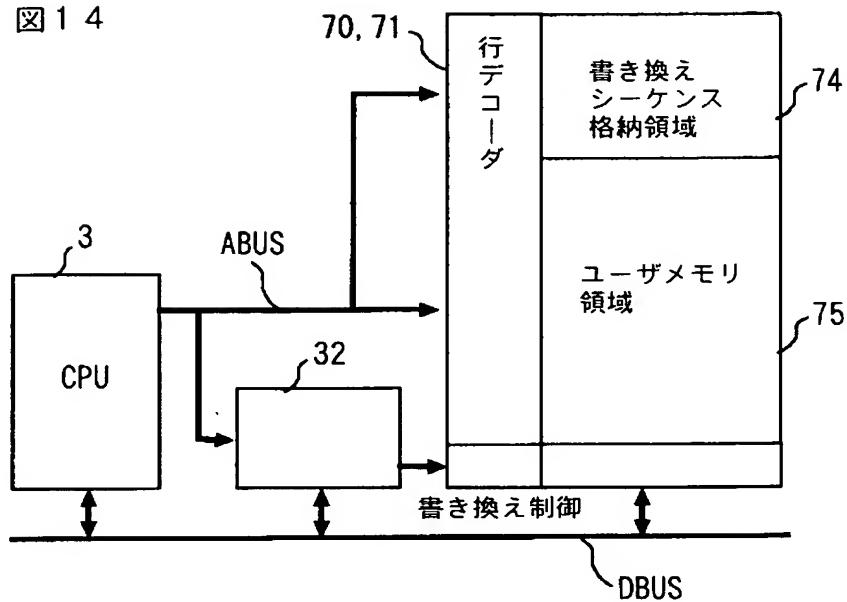
【図 13】

図 13



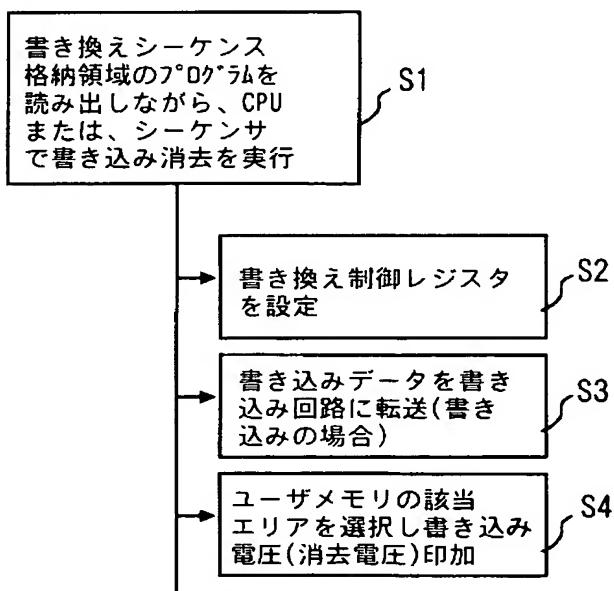
【図14】

図14



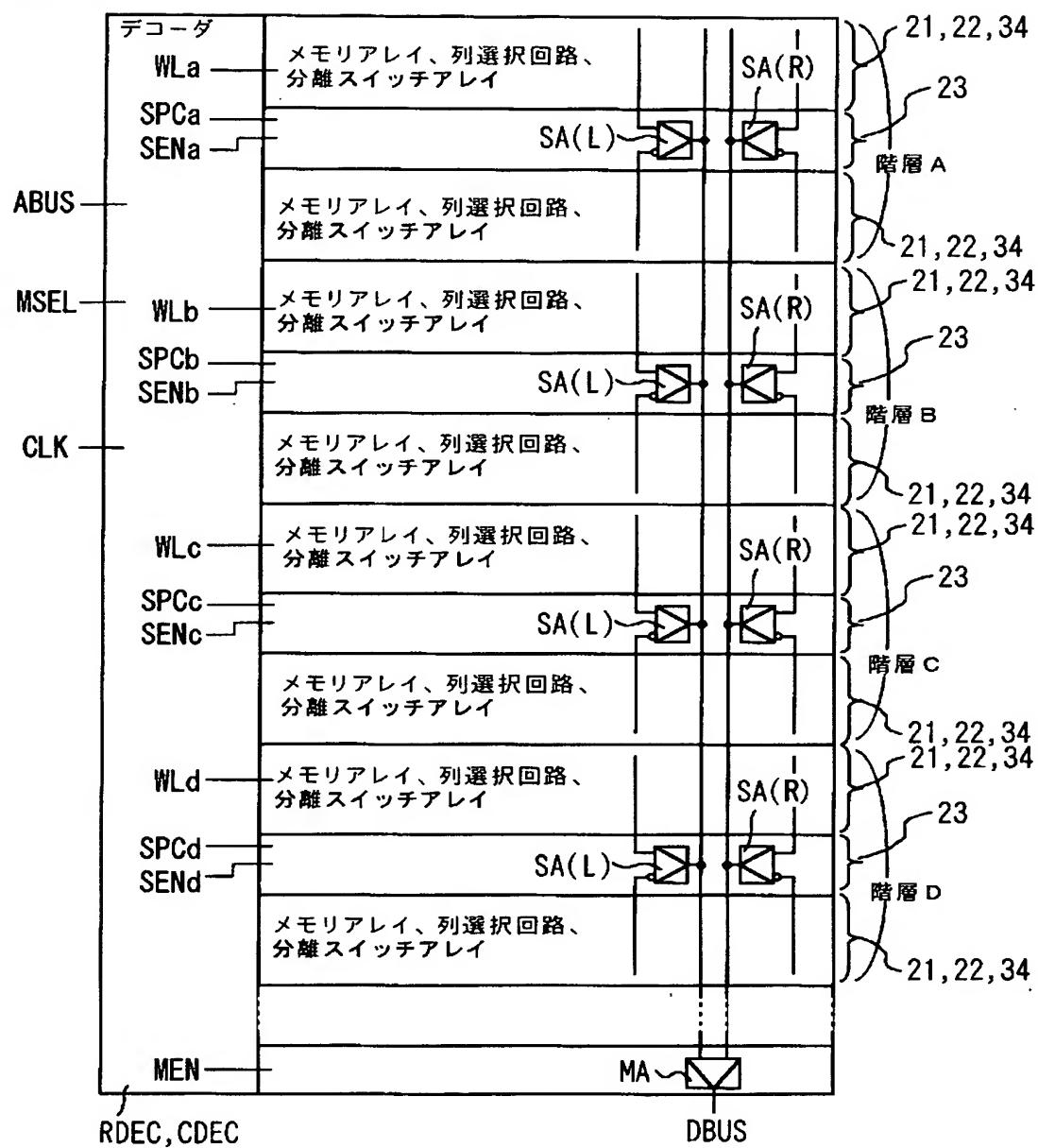
【図15】

図15

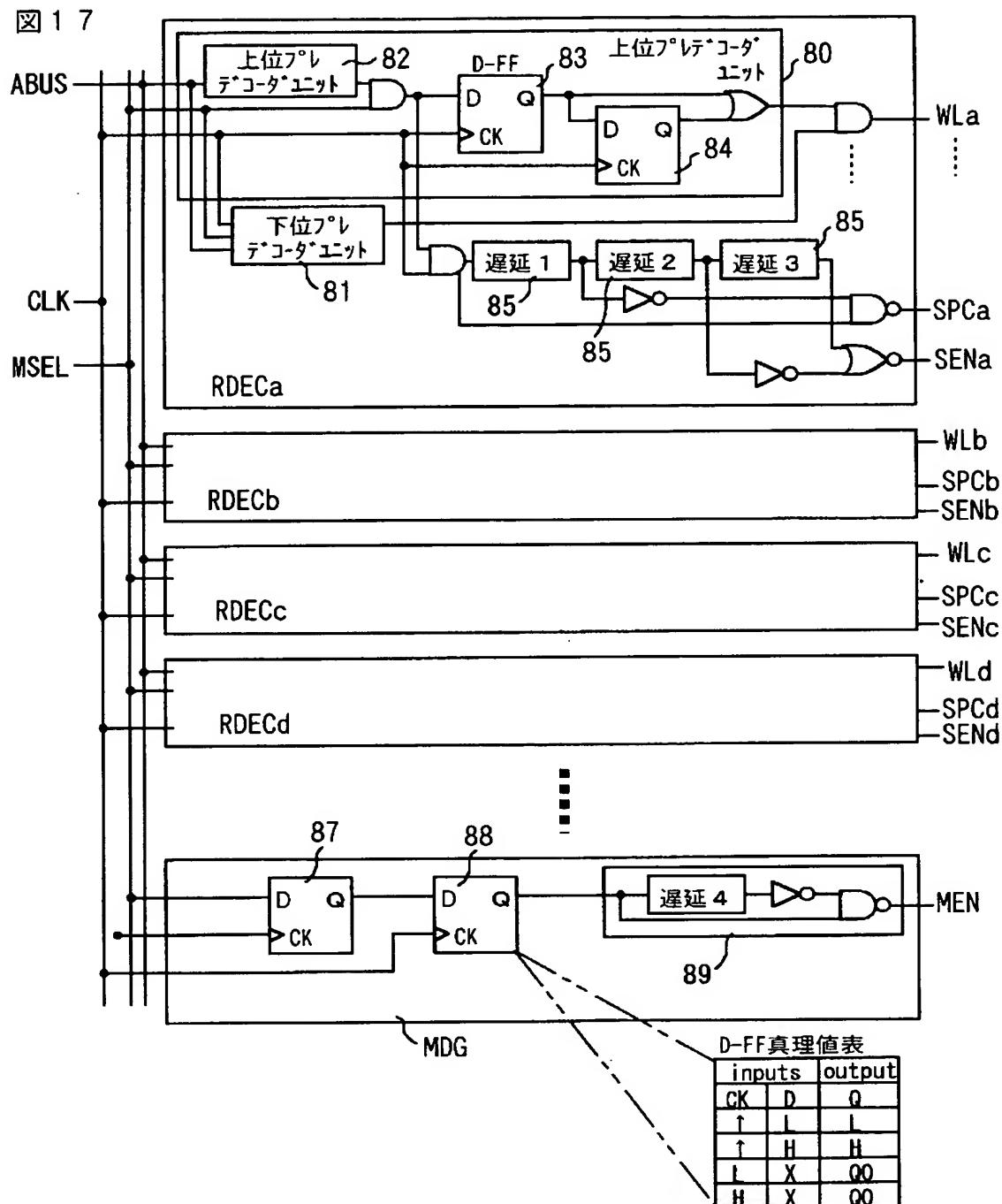


【図16】

図16

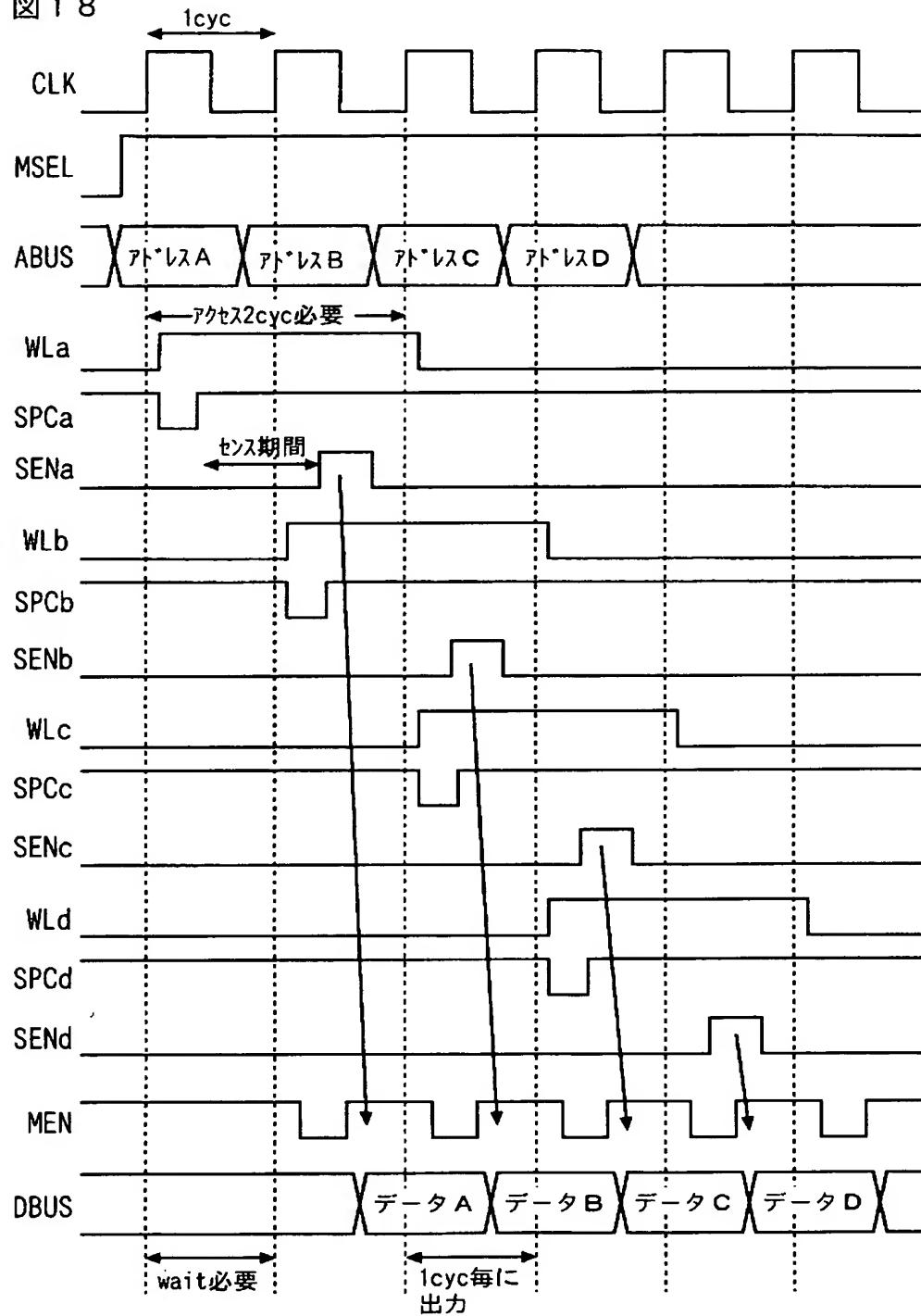


【図17】



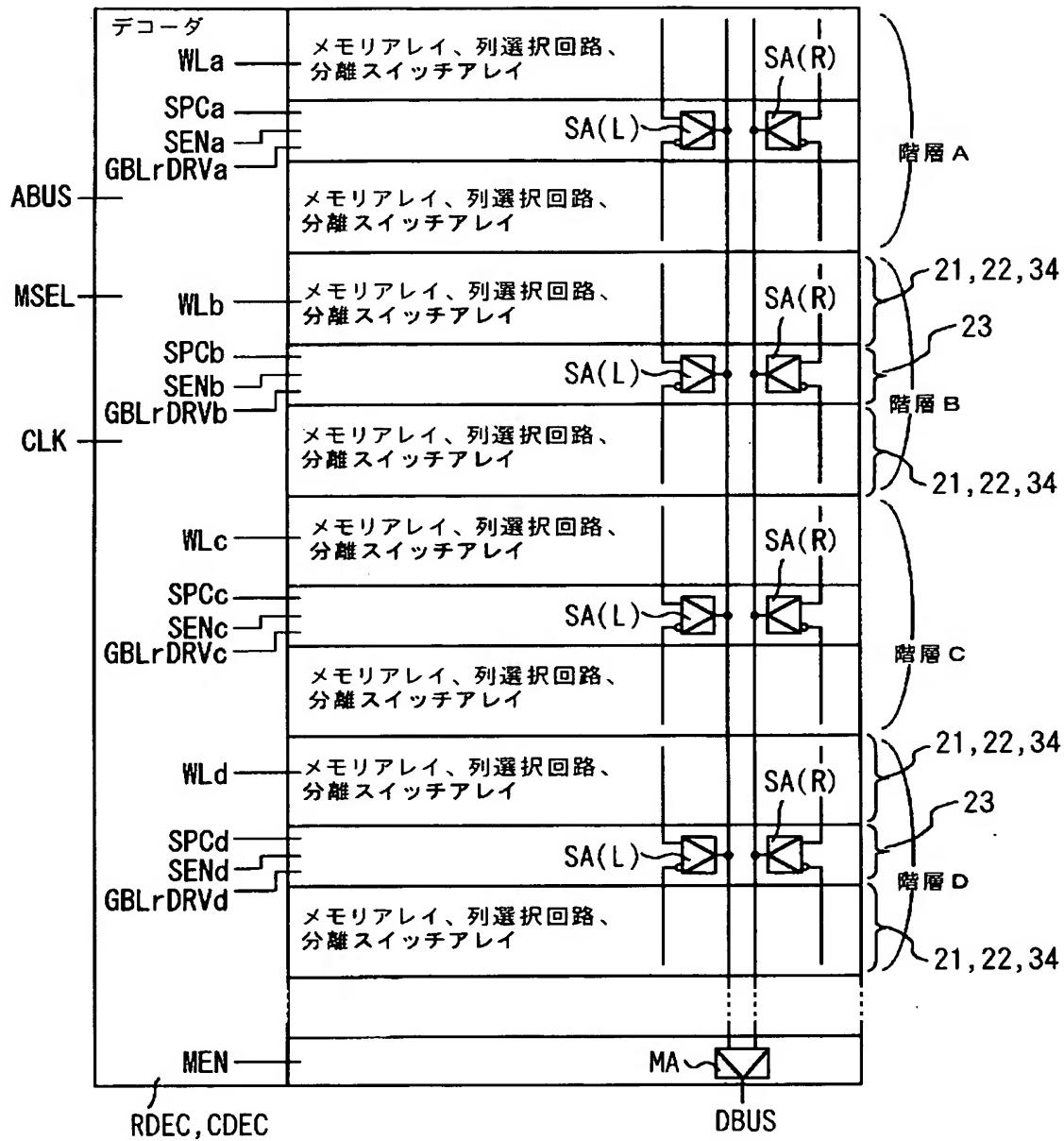
【図18】

図18

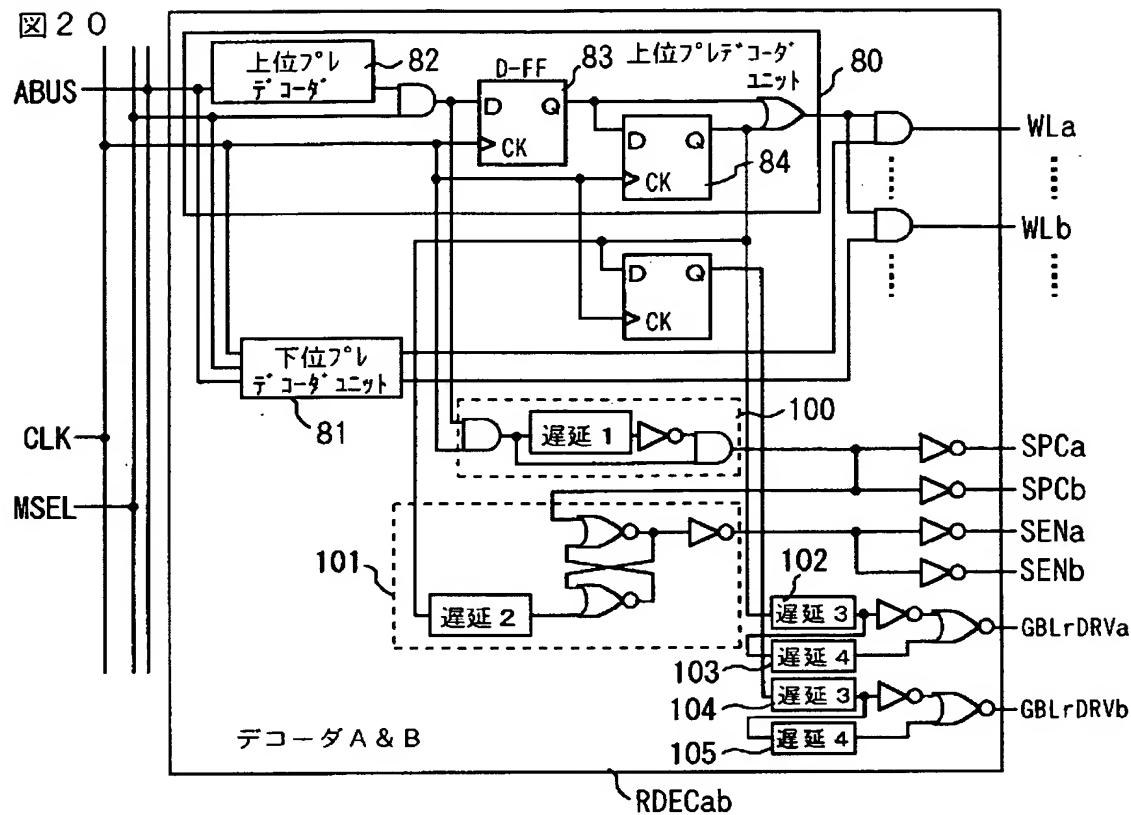


【図19】

図19

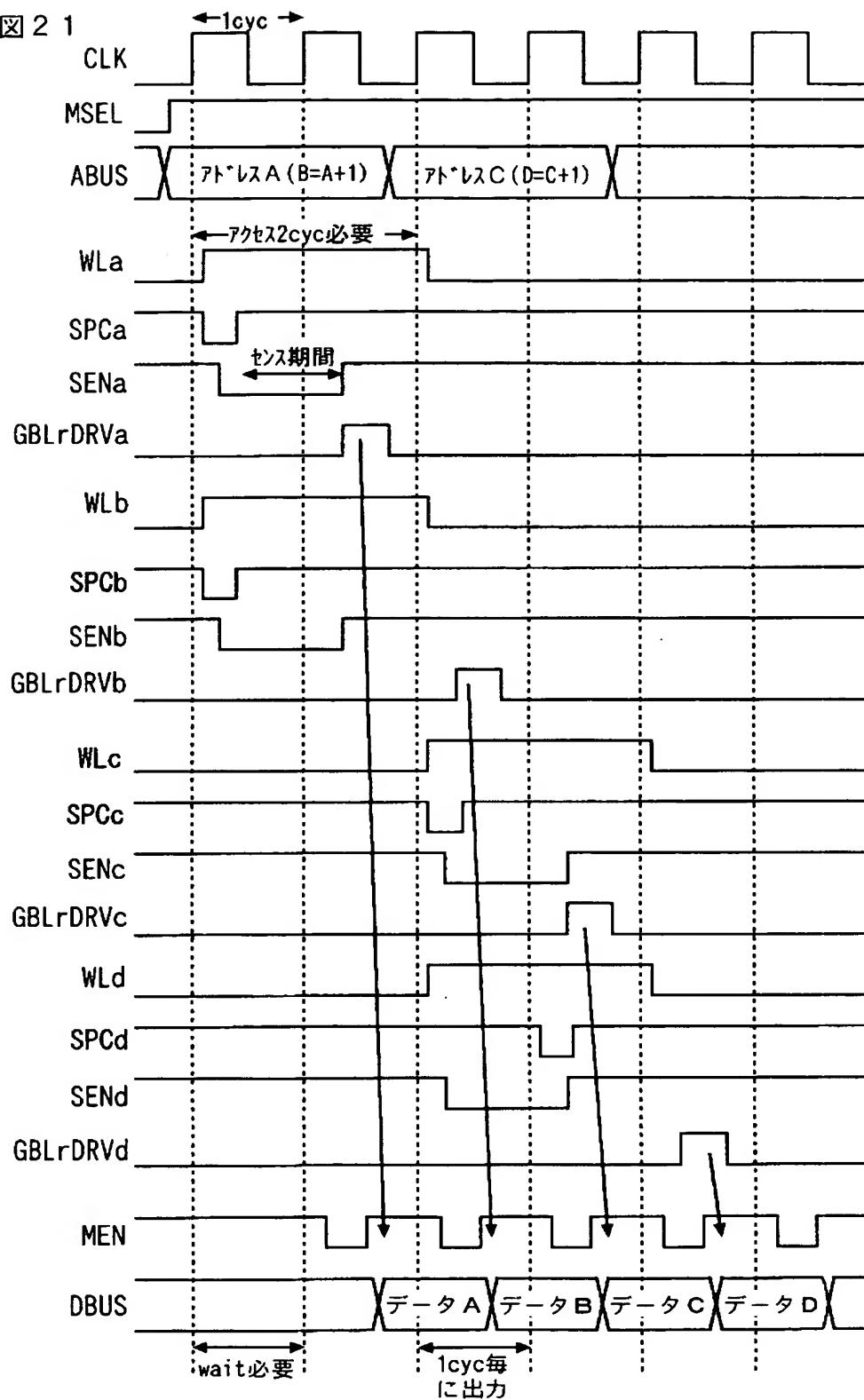


【図20】



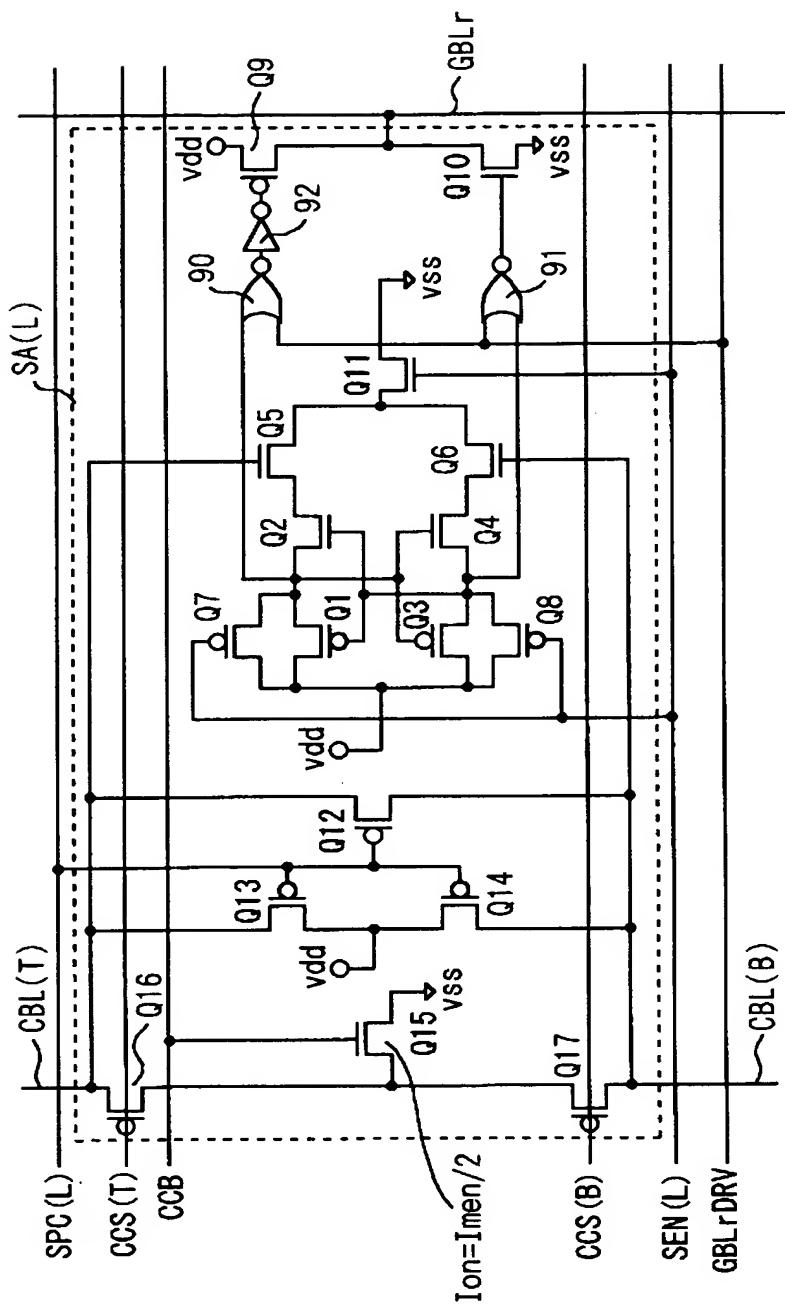
【図 21】

図 21



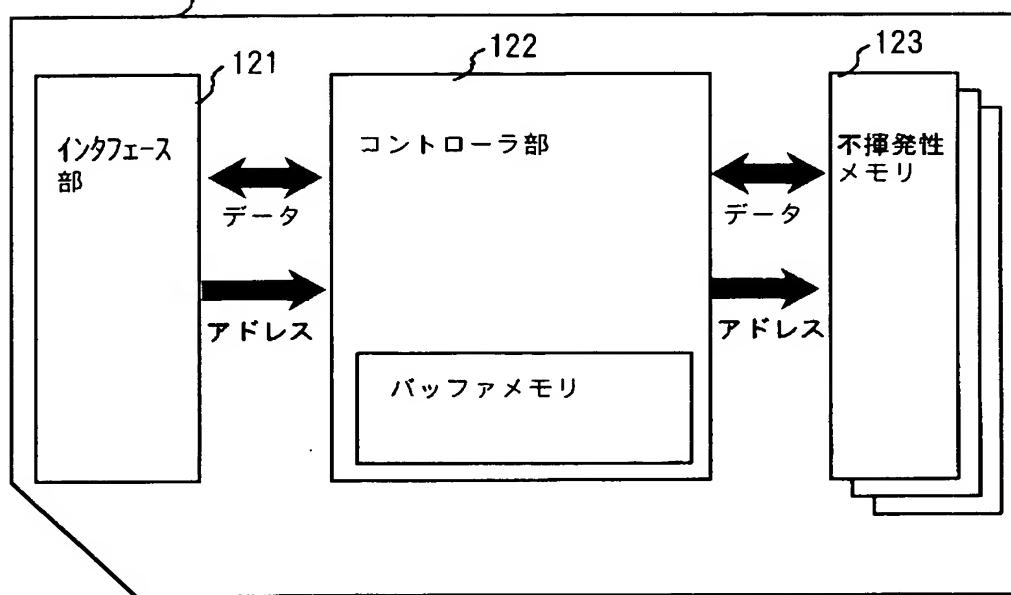
【図22】

図22



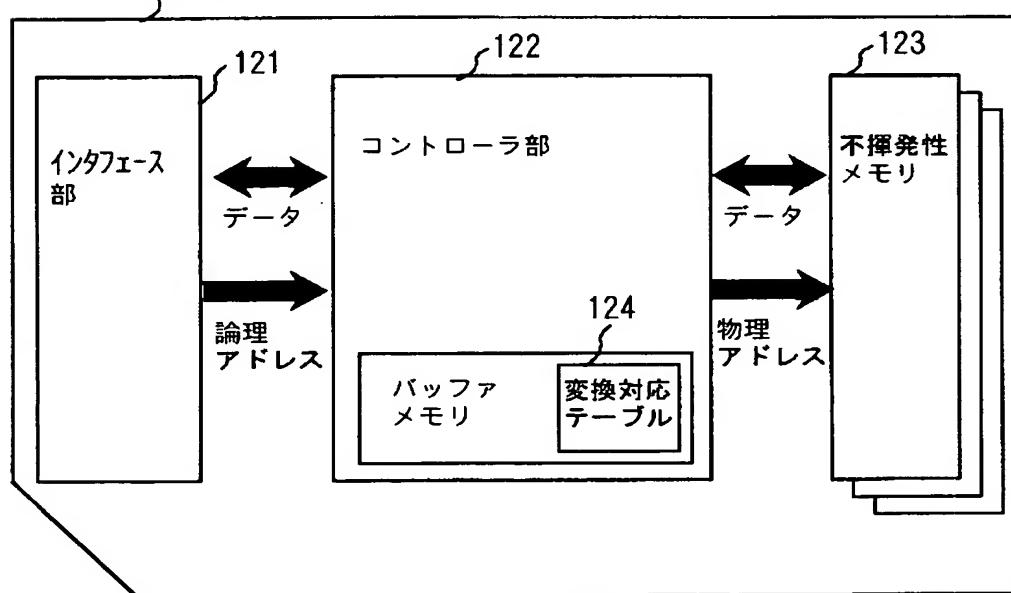
【図23】

図23

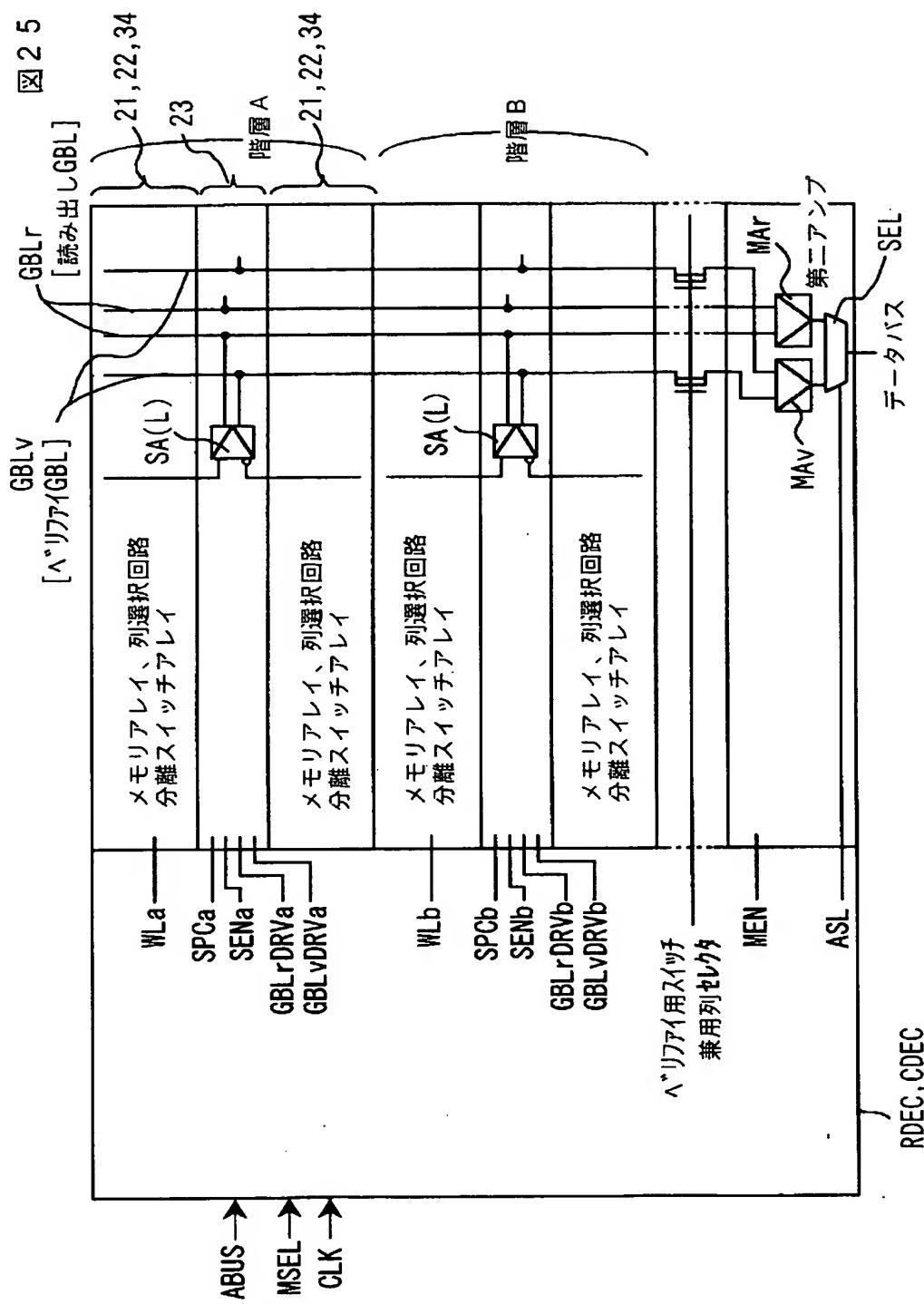


【図24】

図24

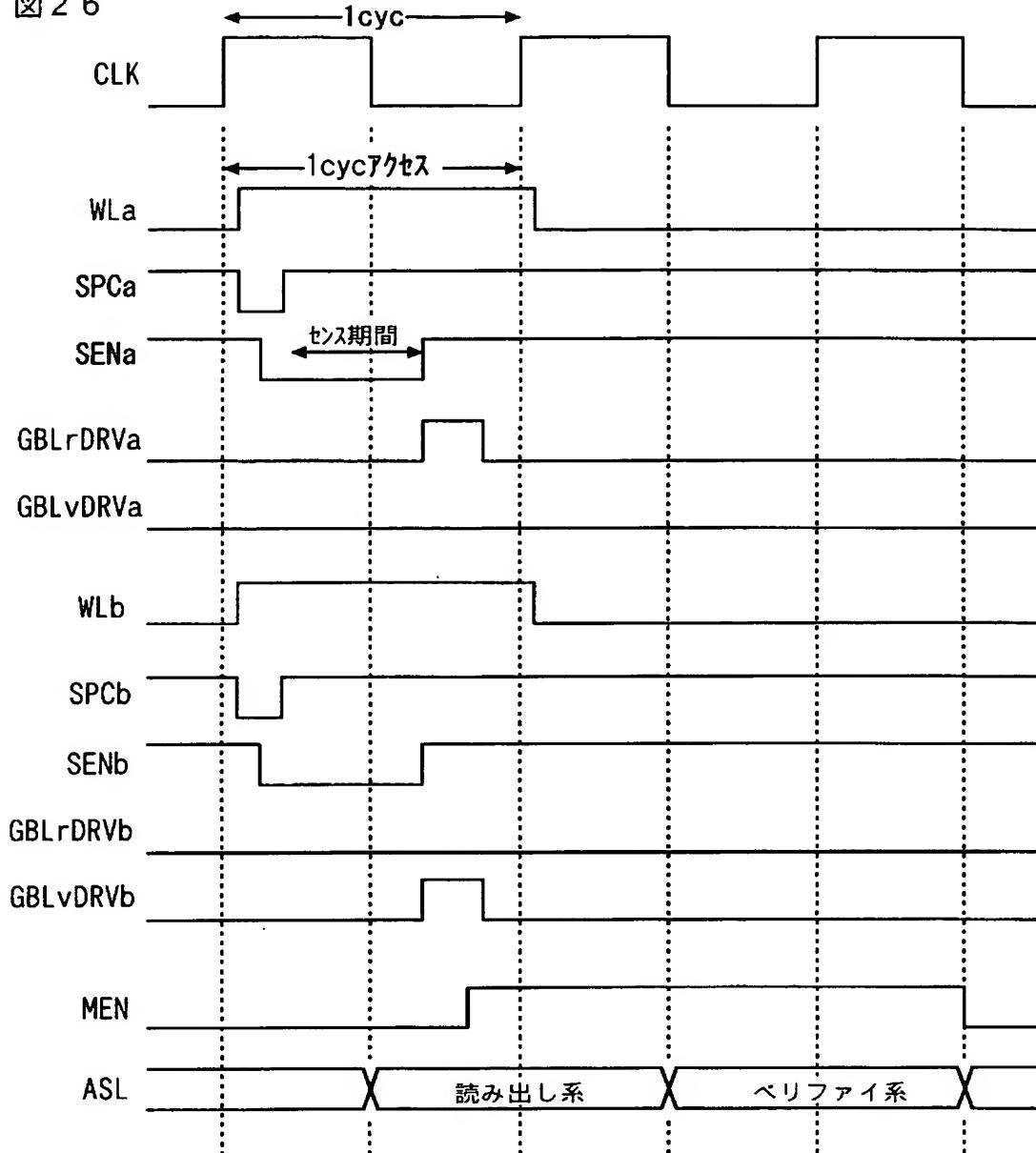


【図 25】

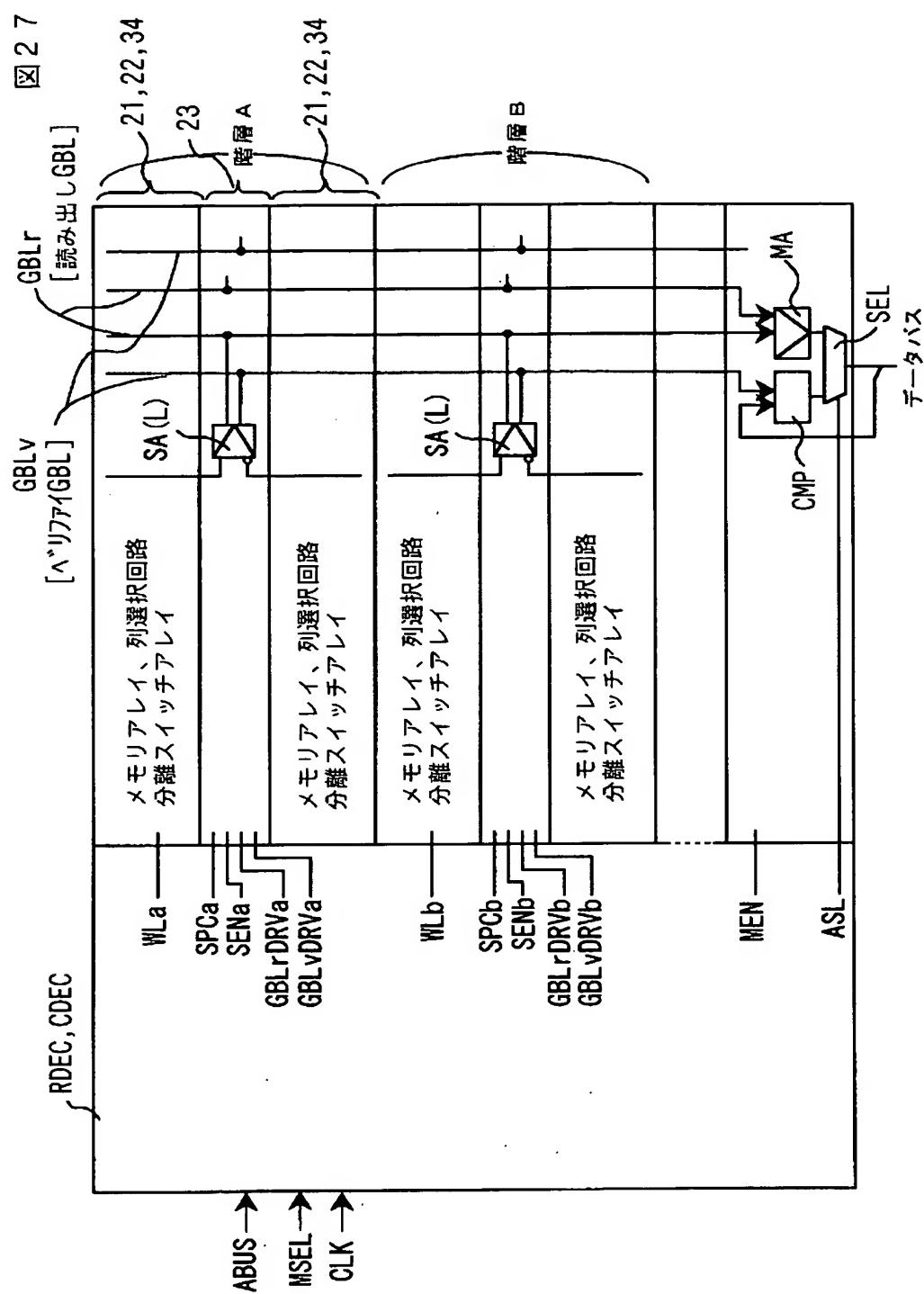


【図 26】

図 26

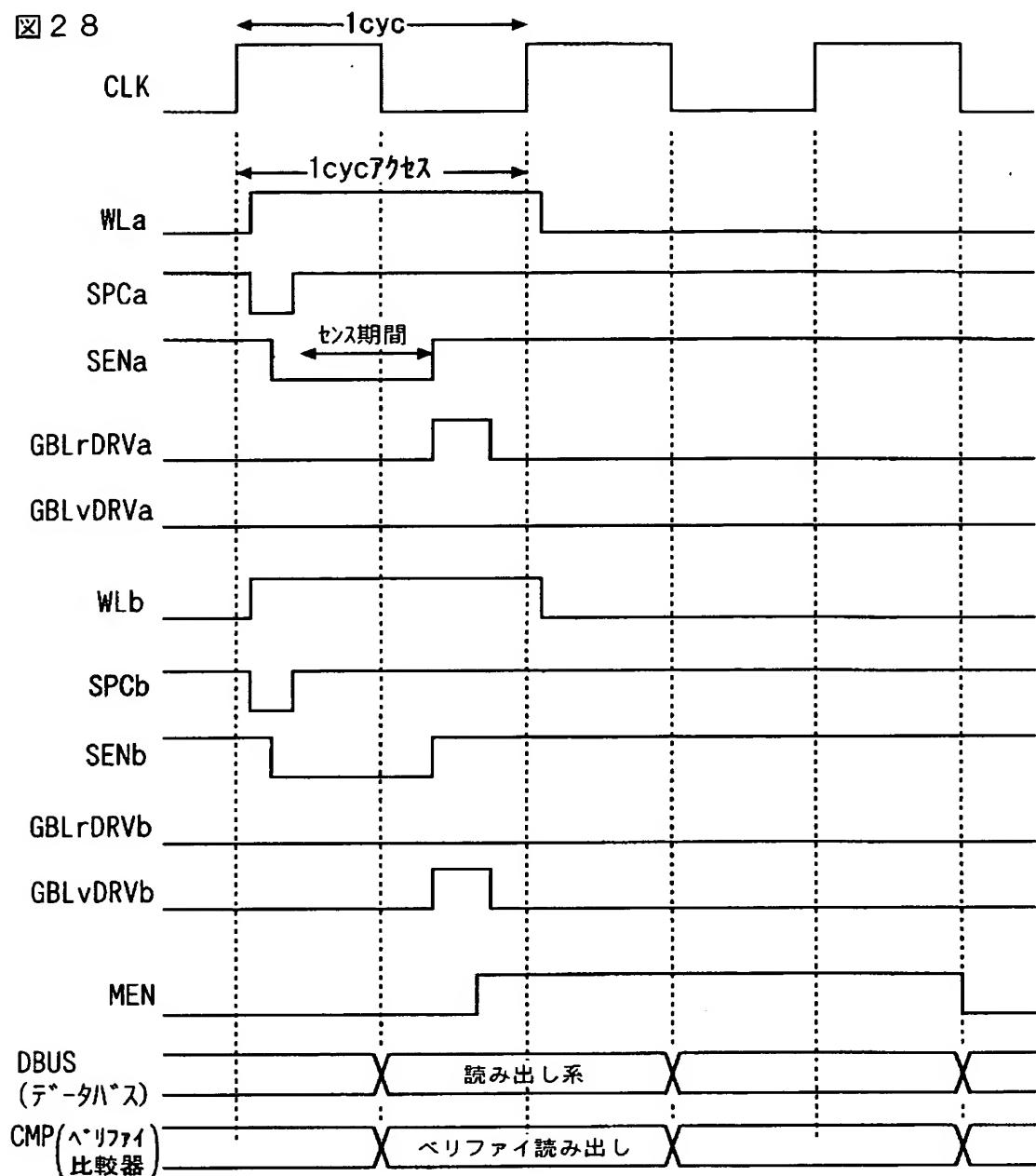


【図 27】

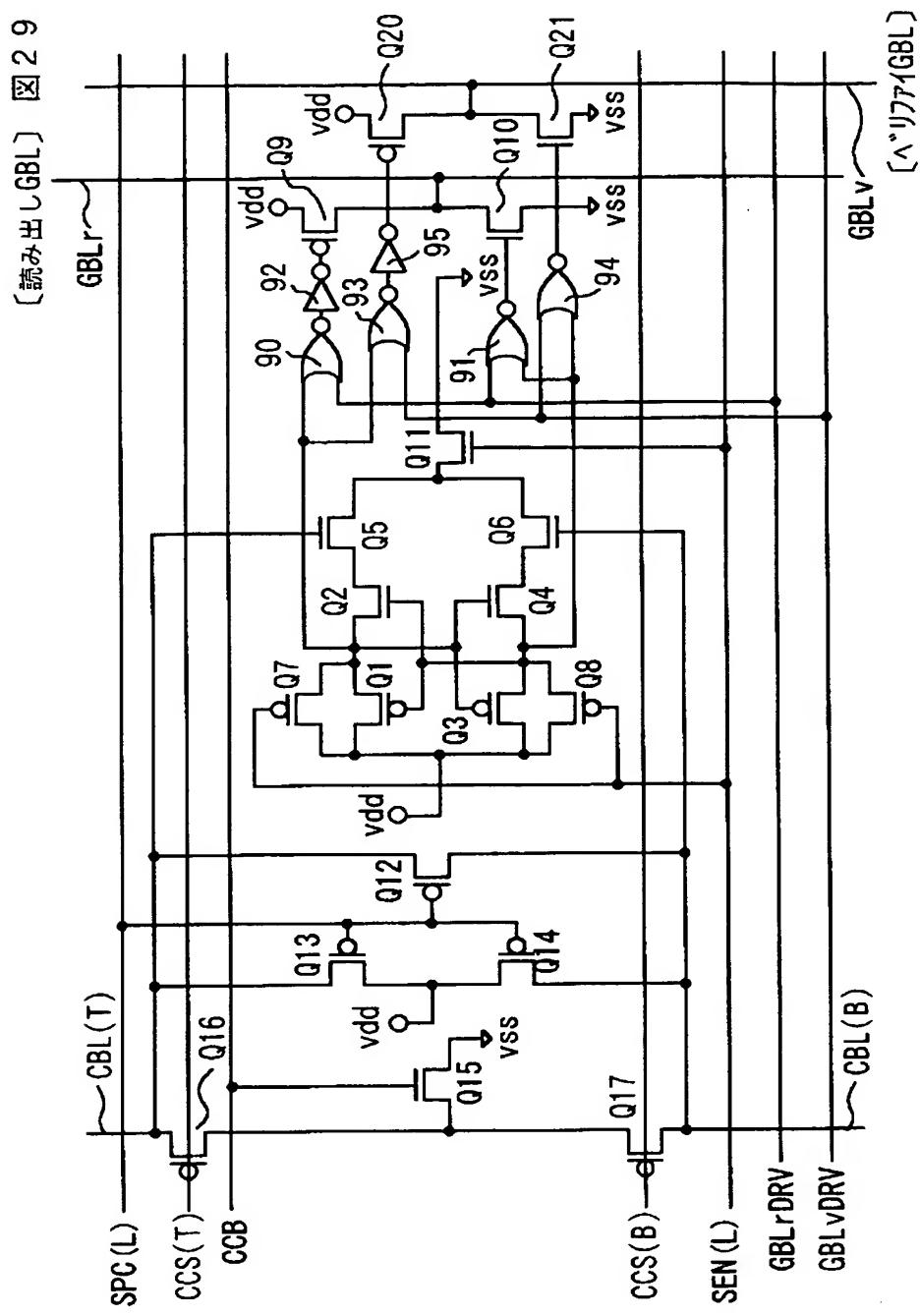


【図 28】

図 28



【図29】



【書類名】 要約書

【要約】

【課題】 電気的に書き換え可能なオンチップ不揮発性メモリに対する読み出し速度を速くする。

【解決手段】 前記不揮発性メモリは、複数のメモリアレイ（21）の夫々に固有の第1ビット線（BL）、複数のメモリアレイに共通の第2ビット線（GBL_r）、第1ビット線をメモリアレイ毎に選択して第2ビット線に接続可能な第1選択回路（22）及び前記第1選択回路の出力と第2ビット線の間に配置したセンスアンプ（SA）による階層化ビット線構造を有する。上記メモリアレイの分割による階層化ビット線構造は、センスアンプの入力負荷容量を低減する。

【選択図】 図2

特願 2003-108604

出願人履歴情報

識別番号 [503121103]

1. 変更年月日 2003年 4月 1日

[変更理由] 新規登録

住 所 東京都千代田区丸の内二丁目4番1号
氏 名 株式会社ルネサステクノロジ